

STATEMENT OF RELEVANCY FOR JP 9-321672

This document was cited as part of an office action in Japanese Patent Application No. 2003-570573 corresponding to US 7,221,389 to the same assignee.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-321672

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/10			H 0 4 B 3/10	B
H 0 3 H 17/00	6 0 1	9274-5 J	H 0 3 H 17/00	6 0 1 B

審査請求 有 請求項の数17 O L (全 28 頁)

(21)出願番号 特願平9-4057

(22)出願日 平成9年(1997)1月13日

(31)優先権主張番号 特願平8-76457

(32)優先日 平8(1996)3月29日

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 加来 尚

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 川田 昇

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 真田 有

最終頁に続く

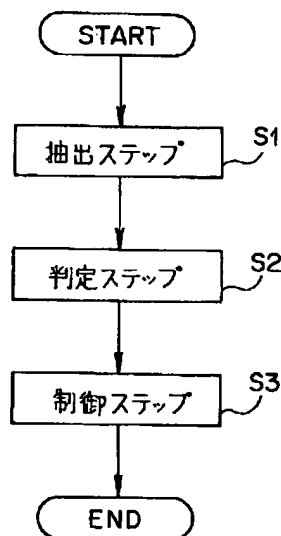
(54)【発明の名称】 線路等化器制御方法並びに積分回路、周波数シフト回路及び伝送装置

(57)【要約】

【課題】 変復調装置等の線路等化器制御方法に関し、トレーニング信号のやりとりをデータ伝送開始前に行なうことなく、また変復調装置等のハードウェア量を増やすことなく、線路等化器の制御を行なうことを目的とする。

【解決手段】 伝送信号に重畳された特定周波数成分を持つ複数のトーン信号を抽出する抽出ステップS1と、抽出されたトーン信号のレベルを判定する判定ステップS2と、判定されたトーン信号のレベルに基づいて、受信信号を等化する線路等化器の特性を制御する制御ステップS3とをそなえて構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 伝送信号に重畳された特定周波数成分を持つ複数のトーン信号を抽出する抽出ステップと、抽出されたトーン信号のレベルを判定する判定ステップと、

判定されたトーン信号のレベルに基づいて、受信信号を等化する線路等化器の特性を制御する制御ステップとからなることを特徴とする、線路等化器制御方法。

【請求項2】 該抽出ステップにおいては、該複数のトーン信号として、ある帯域における上限の周波数成分を有するトーン信号と、該帯域における下限の周波数成分を有するトーン信号とを抽出することを特徴とする、請求項1記載の線路等化器制御方法。

【請求項3】 前記判定ステップにおいて、前記抽出された複数のトーン信号を加算した値と基準値とを比較し、

前記制御ステップにおいて、前記トーン信号と基準値との比較結果の値並びに大小に基づいて前記線路等化器の特性を制御することを特徴とする、請求項1記載の線路等化器制御方法。

【請求項4】 前記判定ステップにおいて、前記抽出された複数のトーン信号のレベル差を算出し、

前記制御ステップにおいて、前記レベル差の値並びに正負に基づいて、前記線路等化器の特性を制御することを特徴とする、請求項1記載の線路等化器制御方法。

【請求項5】 受信信号に含まれる複数の特定周波数成分を持つ信号をそれぞれ抽出し、

前記抽出された特定周波数信号のそれぞれのレベルを算出し、

前記算出されたそれぞれの特定周波数信号レベルに基づいて線路等化器の特性を決定する係数を算出するとともに、

前記特定周波数信号レベルにより表される受信信号の特性に基づいて前記算出される係数を制御し、前記線路等化器の次数を切り替えることを特徴とする、線路等化器制御方法。

【請求項6】 n 桁の信号から下位の m 桁を抽出する第1の抽出部と、

前記 n 桁の信号から上位の $n - m$ 桁を抽出する第2の抽出部と、

前記第2の抽出部から出力される信号を $1/2$ する乗算器と、

前記第1の抽出部出力と、前記乗算器出力とを加算する第1の加算器と、

前記第1の加算器出力が一時的に格納される記憶部と、前記記憶部に格納された信号と入力する n 桁の信号とを加算する第2の加算器をそなえたことを特徴とする、積分回路。

【請求項7】 入力信号の実数成分を一時的に格納し、1タイミング後に出力する第1の記憶部と、

前記入力信号の虚数成分を一時的に格納し、1タイミング後に出力する第2の記憶部と、

前記第1の記憶部に記憶された1タイミング前の実数成分信号と、入力した虚数成分信号とを加算する第1の加算部と、

前記第2の記憶部に記憶された1タイミング前の虚数成分と、入力した実数成分とを加算する第2の加算部とをそなえたことを特徴とする、周波数シフト回路。

【請求項8】 特定周波数成分を持つ複数のトーン信号が重畳された伝送信号を受信信号として受信する受信部を有する伝送装置であって、

該受信部が、

該受信信号について等化を行なう線路等化器と、

該線路等化器からの出力信号に含まれる該複数のトーン信号のレベルに基づいて、該線路等化器をフィードバック制御する線路等化器制御部とをそなえて構成されたことを特徴とする、伝送装置。

【請求項9】 該線路等化器制御部が、

該線路等化器からの出力信号から特定周波数成分を持つ信号を抽出する帯域通過フィルタ部と、

前記帯域通過フィルタ部により抽出された複数の特定周波数信号のレベルを算出するレベル算出部と、

前記レベル算出部により算出された信号レベルの値に基づいて、前記線路等化器の特性を決定する係数を算出する係数算出部とをそなえたことを特徴とする、請求項8記載の伝送装置。

【請求項10】 該線路等化器が、該線路等化器制御部によるフィードバック制御に基づいて、2次のフィルタ、1次のフィルタ又は0次のフィルタのいずれかのフィルタとして動作するように構成されたことを特徴とする、請求項8記載の伝送装置。

【請求項11】 該線路等化器制御部が、該線路等化器に対するフィードバック制御を通じて、該受信信号に関する自動利得制御を行なうように構成されたことを特徴とする、請求項8記載の伝送装置。

【請求項12】 該線路等化器制御部の前段にそなえられ、該線路等化器からの出力信号についてランダム抽出するランダム抽出回路をそなえたことを特徴とする、請求項8記載の伝送装置。

【請求項13】 該帯域通過フィルタ部が、受信信号の中から複数の特定周波数信号を抽出するバンドパスフィルタと、

該バンドパスフィルタにて抽出された該複数の特定周波数信号について所定の周波数分シフトさせる周波数シフト部と、

該周波数シフト部からの該複数の特定周波数信号のうちの少なくとも一方を抽出するローパスフィルタとをそなえて構成されたことを特徴とする、請求項9記載の伝送装置。

【請求項14】 上記の周波数シフト部及びローパスフ

ィルタが、
入力信号の実数成分を一時的に格納し、1タイミング後に出力する第1の記憶部と、
前記入力信号の虚数成分を一時的に格納し、1タイミング後に出力する第2の記憶部と、
前記第1の記憶部に記憶された1タイミング前の実数成分信号と、入力した虚数成分信号とを加算する第1の加算部と、
前記第2の記憶部に記憶された1タイミング前の虚数成分と、入力した実数成分とを加算する第2の加算部とをそなえてなる周波数シフト・ローパスフィルタ共用部により構成されたことを特徴とする、請求項13記載の伝送装置。

【請求項15】 該レベル算出部が、
前記帯域通過フィルタ部により抽出された複数の特定周波数信号を和を演算することにより、送信データにおける中間帯域信号のレベルを算出する全パワー算出部と、
前記帯域通過フィルタ部により抽出された複数の特定周波数信号のパワー差分を算出するパワー差分算出部とをそなえて構成されたことを特徴とする、請求項9記載の伝送装置。

【請求項16】 該係数算出部が、
該レベル算出部にて算出された信号レベルのパワー情報を、予め設定された参照値と比較する比較部と、
該比較部からの比較結果を積分する積分回路と、
該積分回路からの積分演算結果に基づいて、前記線路等化器を制御するための係数を算出するリミッタとをそなえて構成されたことを特徴とする、請求項9記載の伝送装置。

【請求項17】 該積分回路が、
n桁の信号から下位のm桁を抽出する第1の抽出部と、
前記n桁の信号から上位のn-m桁を抽出する第2の抽出部と、
前記第2の抽出部から出力される信号を1/2する乗算器と、
前記第1の抽出部出力と、前記乗算器出力とを加算する第1の加算器と、
前記第1の加算器出力が一時的に格納される記憶部と、
前記記憶部に格納された信号と入力するn桁の信号とを加算する第2の加算器をそなえたことを特徴とする、請求項16記載の伝送装置。

【発明の詳細な説明】

【0001】(目次)

発明の属する技術分野

従来の技術(図33～図35)

発明が解決しようとする課題(図33)

課題を解決するための手段(図1、図2)

発明の実施の形態(図3～図32)

発明の効果

【0002】

【発明の属する技術分野】本発明は、例えば構内回線、自営回線等のメタリック回線を使用してデータを伝送する際に用いて好適な伝送装置や、この伝送装置において用いられる線路等化器制御方法、積分回路並びに周波数シフト回路に関する。構内回線等を介してデータを伝送する場合にはモデムを使用することが一般的であり、特に伝送速度が高速で且つ安価なモデムが強く要求されている。特に画像情報は情報量が多いため、通常のデータを送信するためのモデムよりも更に高速な、例えば伝送速度が1.5Mbps程度的高速モデムが要求されている。

【0003】

【従来の技術】図33は一般的なモデムの構成を示す図であり、この図33に示すモデム280は、回線を介することにより対向モデムとの間でデータ信号を送受するものであり、回線からのデータ信号を受信し端末等に出力する受信部281をそなえるとともに、端末等からのデータ信号を回線を介することにより対向装置に対して送信する送信部286をそなえて構成されている。

【0004】ここで、送信部286は、機能的には論理処理部286a、ロールオフフィルタ(ROF)286b、変調部286c、デジタル/アナログ変換部(D/A変換部)286d等をそなえている一方、受信部281は、機能的には、アナログ/デジタル変換部(A/D変換部)281a、線路等化器281b、復調部281c、ロールオフフィルタ281d、自動利得制御部(AGC; Automatic Gain Control)281e、自動等化器(EQL; Equalizer)281f、キャリア検出部(CD)281g、タイミング抽出部281h及びクロック信号発生部281i等をそなえている。

【0005】なお、これらの送信部286及び受信部281は、ハードウェア的にはA/D変換器、D/A変換器、MPU(Microprocessor Unit)及びデジタル信号処理を行なうDSP(Digital Signal Processor)により構成されている。このような構成により、モデム280と対向モデムとの間でのデータ信号の送受に先行して、データ伝送の開始前にトレーニング信号を相手側装置に送信し、これに基づいて受信用モデム内の自動利得制御回路(AGC回路)、線路等化器(LEQ)等を調整する、いわゆるトレーニングの処理が行なわれる。これによって、回線の特性によってレベルの減衰や周波数特性の劣化が生じた受信信号を最適な状態に調整している。

【0006】その後、上述の図33に示すモデム280の送信部286では、例えば端末等からの送信データ信号について、論理処理部286aによる処理を通じて信号点が発生し、この信号点についてロールオフフィルタ286bにて波形形成処理が施された後、変調部286cにて変調される。その後、D/A変換部286dにてアナログ信号に変換されて、データ信号として送信され

る。

【0007】また、モデム280の受信部281では、対向する装置から回線を介して入力されるアナログ受信データについて、A/D変換部281aにてデジタル信号に変換して、復調部281cにおいてこのデジタル受信信号を復調する。その後、ローloffフィルタ281dでは復調部281cからの復調信号について波形整形処理を施す。続いて、自動利得制御部281eではローloffフィルタ281dからの受信信号について自動利得制御を行ない、自動等化部281fでは自動利得制御部281eからの信号に等化処理を施して、受信端末等に出力する。

【0008】ところで、上述のごときモデムを、構内回線などのメタリック回線に接続することにより通信システムを構築した場合には、図34に図示されるようなメタリック回線の周波数特性を考慮する必要がある。即ち、メタリック回線は、例えば図34に示すように $1/\sqrt{f}$ の周波数特性を有し、信号に振幅歪みが生じ、特に低域周波数成分に対して高域周波数成分の方が減衰しやすい。

【0009】このような特性を持つメタリック回線を介して伝送されたデータ信号を受信側モデムにて受信すると、受信側モデムにおける受信信号の周波数特性も $1/\sqrt{f}$ となる。図33に示すモデム280における受信部281の線路等化器281bは、上述したような回線特性による受信信号の周波数特性の変化を補正するためのものであり、この線路等化器281bは例えば上述のDSPにより構成することができる。

【0010】図35は上述の受信信号の周波数特性 $1/\sqrt{f}$ を等化するための線路等化器281bの周波数特性の一例を示す図である。即ち、この線路等化器281bの特性は、図34の回線による周波数特性の劣化を補正するように \sqrt{f} の特性を有している。これにより、受信信号の周波数特性を平坦に補正することができる。ここで、線路等化器281bの特性としては、回線状態、即ち受信する信号の振幅歪みの度合いに応じて、図35に図示される特性の傾斜を変化させる必要があり、線路等化器281bとしては、フラットな特性から急峻な特性まで対応することが望まれる。従来よりの線路等化器としては、このような要望を達成すべく、2次のHPF(High Pass Filter)が使用されていた。

【0011】

【発明が解決しようとする課題】しかしながら、上述の図33に示すモデム280における受信部281の線路等化器281においては、2次のHPFによりフラットな特性を実現するためには、HPFのタップ係数を非常に大きくすることが必要である。この場合においては、線路等化器としてのデジタル信号処理に固定小数点演算を適用することができず、浮動小数点演算を適用することになる。即ち、線路等化器として浮動小数点演算を

適用したDSPを用いなければならないが、この浮動小数点演算を適用したDSPはコストが高く処理速度が低い。

【0012】従って、上述の浮動小数点演算を適用したDSPを適用することにより装置を構成した場合には、高コスト化、低処理速度という課題が、フラットな特性を実現するという課題よりも重要な課題となってしまう。また、上述の図33に示すモデム280を用いたデータ伝送を行なう場合には、データ伝送の開始前にトレーニング信号をやり取りし、受信したトレーニング信号に基づいて等化器や自動利得制御回路を制御しているので、トレーニングを行なう期間はある程度の短くない時間が必要となる。

【0013】特に受信側において複数のモデムが並列に接続されて、送信側のモデムから同報でデータ伝送を行なうような通信システムにおいては、その分トレーニングに時間を要し、回線を接続した後に即データ伝送を開始することができない。近年においては、データ伝送開始までの時間をできる限り短縮することが望まれているが、上述したように、データ伝送開始前に受信側モデムとの間のトレーニングを行なうと、データ伝送開始までの時間が延びるという課題がある。

【0014】さらには、近年のモデムに対する処理速度の高速化に対する要求に応えるためには、従来よりのモデムの信号処理機能を維持しながら、DSP等における信号処理機能を極力減らすことが望まれる。本発明は、このような課題に鑑み創案されたもので、低コストで装置を構成し且つ高処理速度で、回線状態に応じて要求される所望の特性で、線路等化処理を行なうことができるようにした、線路等化器制御方法及び積分回路、周波数シフト回路及び伝送装置を提供することを目的とする。

【0015】また、本発明は独立した自動利得制御回路を設けることなく、自動利得制御を行なうことができるようにした、伝送装置を提供することを目的とする。さらに、本発明は、データ伝送開始前のトレーニングを行なうことなく、線路等化器等の制御を行なうことができるようにした、線路等化器制御方法及び伝送装置を提供することを目的とする。

【0016】

【課題を解決するための手段】図1は本発明の原理説明図であり、この図1に示す本発明の線路等化器制御方法は、以下に示すステップS1～ステップS3の処理ステップにより構成される。即ち、抽出ステップ(ステップS1)において、伝送信号に重畳された特定周波数成分を持つ複数のトーン信号を抽出し、判定ステップ(ステップS2)において、抽出されたトーン信号のレベルを判定し、制御ステップ(ステップS3)において、判定されたトーン信号のレベルに基づいて、受信信号を等化する線路等化器の特性を制御する(請求項1)。

【0017】この場合においては、抽出ステップ（ステップS1）においては、複数のトーン信号として、ある帯域における上限の周波数成分を有するトーン信号と、上述のある帯域における下限の周波数成分を有するトーン信号とを抽出することができる（請求項2）。さらに、判定ステップ（ステップS2）において、抽出された複数のトーン信号を加算した値と基準値とを比較し、制御ステップ（ステップS3）において、前記トーン信号と基準値との比較結果の値並びに大小に基づいて前記線路等化器の特性を制御したり（請求項3）、判定ステップ（ステップS2）において、抽出された複数のトーン信号のレベル差を算出し、制御ステップ（ステップS3）において、レベル差の値並びに正負に基づいて、線路等化器の特性を制御したりすることもできる（請求項4）。

【0018】さらに、本発明の線路等化器制御方法は、受信信号に含まれる複数の特定周波数成分を持つ信号をそれぞれ抽出し、抽出された特定周波数信号のそれぞれのレベルを算出し、算出されたそれぞれの特定周波数信号レベルに基づいて線路等化器の特性を決定する係数を算出するとともに、特定周波数信号レベルにより表される受信信号の特性に基づいて算出される係数を制御し、線路等化器の次数を切り替えることを特徴としている（請求項5）。

【0019】また、本発明の積分回路は、 n 桁の信号から下位の m 桁を抽出する第1の抽出部と、 n 桁の信号から上位の $n-m$ 桁を抽出する第2の抽出部と、第2の抽出部から出力される信号を $1/2$ する乗算器と、第1の抽出部出力と、乗算器出力とを加算する第1の加算器と、第1の加算器出力が一時的に格納される記憶部と、記憶部に格納された信号と入力する n 桁の信号とを加算する第2の加算器をそなえたことを特徴としている（請求項6）。

【0020】さらに、本発明の周波数シフト回路は、入力信号の実数成分を一時的に格納し、1タイミング後に出力する第1の記憶部と、入力信号の虚数成分を一時的に格納し、1タイミング後に出力する第2の記憶部と、第1の記憶部に記憶された1タイミング前の実数成分信号と、入力した虚数成分信号とを加算する第1の加算部と、第2の記憶部に記憶された1タイミング前の虚数成分と、入力した実数成分とを加算する第2の加算部とをそなえたことを特徴としている（請求項7）。

【0021】図2は本発明の原理ブロック図であり、この図2において、17は特定周波数成分を持つ複数のトーン信号が重畳された伝送信号を受信信号として受信する受信部10を有する伝送装置であり、この受信部10としては線路等化器1及び線路等化器制御部16をそなえて構成されている。ここで、線路等化器1は、受信信号について等化を行なうものであり、線路等化器制御部16は、線路等化器1からの出力信号に含まれる複数の

特定周波数信号のレベルに基づいて、線路等化器1をフィードバック制御するものである（請求項8）。

【0022】さらに、上述の線路等化器制御部16としては、線路等化器1からの出力信号から特定周波数成分を持つ信号を抽出する帯域通過フィルタ部と、帯域通過フィルタ部により抽出された複数の特定周波数信号のレベルを算出するレベル算出部と、レベル算出部により算出された信号レベルの値に基づいて、前記線路等化器の特性を決定する係数を算出する係数算出部とをそなえることもできる（請求項9）。

【0023】また、線路等化器1を、線路等化器制御部16によるフィードバック制御に基づいて、2次のフィルタ、1次のフィルタ又は0次のフィルタのいずれかのフィルタとして動作するように構成することもでき（請求項10）、線路等化器制御部16を、線路等化器1に対するフィードバック制御を通じて、受信信号に関する自動利得制御を行なうように構成することもできる（請求項11）。

【0024】さらに、線路等化器制御部16の前段にそなえられ、線路等化器1からの出力信号についてランダム抽出するランダム抽出回路をそなえることもできる（請求項12）。また、上述の帯域通過フィルタ部を、受信信号の中から複数の特定周波数信号を抽出するバンドパスフィルタと、バンドパスフィルタにて抽出された該複数の特定周波数信号について所定の周波数分シフトさせる周波数シフト部と、周波数シフト部からの該複数の特定周波数信号のうちの少なくとも一方を抽出するローパスフィルタとをそなえて構成することもできる（請求項13）。

【0025】この場合においては、周波数シフト部及びローパスフィルタを、入力信号の実数成分を一時的に格納し、1タイミング後に出力する第1の記憶部と、前記入力信号の虚数成分を一時的に格納し、1タイミング後に出力する第2の記憶部と、第1の記憶部に記憶された1タイミング前の実数成分信号と、入力した虚数成分信号とを加算する第1の加算部と、第2の記憶部に記憶された1タイミング前の虚数成分と、入力した実数成分とを加算する第2の加算部とをそなえてなる周波数シフト・ローパスフィルタ共用部により構成することもできる（請求項14）。

【0026】また、上述のレベル算出部を、帯域通過フィルタ部により抽出された複数の特定周波数信号を和を演算することにより、送信データにおける中間帯域信号のレベルを算出する全パワー算出部と、帯域通過フィルタ部により抽出された複数の特定周波数信号のパワー差を算出するパワー差分算出部とをそなえて構成することもできる（請求項15）。

【0027】さらに、係数算出部を、レベル算出部にて算出された信号レベルのパワー情報を、予め設定された参照値と比較する比較部と、比較部からの比較結果を積

分する積分回路と、積分回路からの積分演算結果に基づいて、前記線路等化器を制御するための係数を算出するリミッタとをそなえて構成することもできる（請求項16）。

【0028】また、上述の係数算出部の積分回路を、 n 桁の信号から下位の m 桁を抽出する第1の抽出部と、 n 桁の信号から上位の $n-m$ 桁を抽出する第2の抽出部と、前記第2の抽出部から出力される信号を $1/2$ する乗算器と、第1の抽出部出力と、前記乗算器出力とを加算する第1の加算器と、第1の加算器出力が一時的に格納される記憶部と、記憶部に格納された信号と入力する n 桁の信号とを加算する第2の加算器をそなえることもできる（請求項17）。

【0029】

【発明の実施の形態】図5は本発明の一実施形態にかかる伝送装置としてのモデムが適用されたデータ通信システムを示すブロック図である。この図5に示すデータ通信システム40は、一台の送信用モデム41と並列に設けられた複数台（例えば2台）の受信用モデム42、43とが例えば構内回線などのメタリック回線44を介して接続されることにより構成されている。

【0030】即ち、このデータ通信システム40においては、送信用モデム41からメタリック回線44を介して1.5Mbpsの伝送速度を有する各種のデータを受信用モデム42、43に対して伝送することができるようにしている。即ち、送信用モデム41と受信用モデム42、43との間では、例えば画像情報のように情報量が多いデータを同報で伝送することができる。

【0031】例えば、テレビ会議システムや交通機関での事故現場の状況を遠隔地で確認しうるシステムを構築する場合においても、この図5に示すようなデータ通信システム40により、必要な画像情報の同報伝送（同一内容の画像情報の並行伝送）を行なうことができる。換言すれば、図5に示すデータ通信システム40では、送信用モデム41に図示しないホスト装置等を接続し、受信用モデム42、43に各種受信端末を接続することにより、ホスト装置からの画像データ等を送信用モデム41を介して送信するとともに、送信用モデム41ではホスト装置からの送信データに必要な変調処理等を施し、メタリック回線44及び受信用モデム42、43を介して送信するようになってい。これにより、各種受信端末においては送信用モデム41からの送信データを同時に受信することができる。

【0032】ところで、上述の図5に示す送信用モデム41は、例えば図4に示す送信部20をそなえて構成されている。ここで、この図4に示す送信部20は、論理処理部21、ロールオフフィルタ（ROF）22、ナイキスト信号発生部23、加算器24、変調部25、D/A変換部26及びローパスフィルタ（LPF；Low Pass Filter）27をそなえている。

【0033】なお、この送信部20を構成する論理処理部21を、例えばMPUにより構成するとともに、ロールオフフィルタ22、ナイキスト周波数発生部23、加算器24及び変調部25をDSPにより構成することができる。ここで、論理処理部21は、例えばグレイコード/ナチュラルコード変換、送信データに応じた信号点の発生処理等の論理処理を行なうもので、ロールオフフィルタ22は論理処理部21からの送信信号の波形成形を行なうものである。

【0034】さらに、ナイキスト周波数信号発生部23は、ナイキスト周波数成分を持つ信号を発生するものであり、加算器24は、ロールオフフィルタ22出力とナイキスト周波数信号発生部23にて発生されたナイキスト周波数成分とを加算するものである。また、変調部25は、送信データを所定の変調方法により変調するものであり、デジタル/アナログ変換部（D/A変換部）26は、変調されたデジタル送信データをアナログ信号に変換し、メタリック回線などに伝送できるようにするものである。

【0035】さらに、ローパスフィルタ27は、使用帯域外の雑音を除去するものであり、このローパスフィルタ27から出力される信号は、メタリック回線44を介して受信側のモデムに伝送されるようになっている。これにより、送信部20においては、例えば図6（a）に示すように、特定帯域（12kHz～204kHzの帯域）を有する伝送信号としての送信データ（伝送速度は1.5Mbps）31に、ナイキスト周波数を有するトーン信号（12kHz）32及びトーン信号（204kHz）33を重ねて、メタリック回線44に伝送するようになっている。

【0036】ここで、送信データ31に重畳されるトーン信号32は、伝送信号31の帯域における下限の周波数成分を有するトーン信号であって、送信データ31に重畳されるトーン信号33は、伝送信号31の帯域における上限の周波数成分を有するトーン信号である。また、上述の図5に示す受信用モデム42、43は、例えば図3に示す受信部10をそなえて構成されている。

【0037】ここで、この図3に示す受信部10は、線路等化器1、復調部2、ロールオフフィルタ3、受信信号処理部15及び線路等化器制御部16をそなえて構成されている。線路等化器（LEQ；Line Equalizer）1は、回線から受信したアナログ信号をデジタル信号に変換する図示しないアナログ-デジタル変換器の後段に設けられ、線路等化器制御部16からの制御を受けて、メタリック回線の特性などにより発生する振幅歪みを補正するためのものである。

【0038】また、この線路等化器1としては、詳細には図7に示すように、2次のリカーシブフィルタにより構成されている。ここで、この図7に示す線路等化器1は、乗算器171～175、加算器176～179及び

タップ(Y1, Y2)180, 181をそなえて構成されている。ここで、乗算器171~175は、後述する線路等化器制御部16により設定された係数A~Eを入力信号に乗算するものであり、この係数の設定により線路等化器1の特性が決定されるようになっている。タップ180, 181はそれぞれ1タイミング前の信号を格納するタップ(Y1, Y2)である。

【0039】これにより、線路等化器1には、その前段に接続されたA/D変換器からの信号(AD1~AD4;メタリック回線4回線から受信されたアナログ信号がデジタル信号に変換された信号)が入力され、この入力信号について所望の特性が与えられた線路等化処理を施して出力(RLEQ1~RLEQ4)するようになっている。また、乗算器171には係数Aが与えられ、入力信号と乗算される。係数Aの値に応じて、乗算器171に入力する信号のレベルが増減されることになる。即ち、乗算器171はAGC回路とほぼ同等の機能を有することができる。

【0040】さらに、乗算器172~175には、それぞれ係数B~Eが供給される。これらの係数は線路等化器170の周波数特性を決定する係数であり、係数B~Eの値によって線路等化器170の特性が変化している。具体的には、係数C, Eを「0」と設定することにより、図8(a)に示すような1次のフィルタを構成することができる一方、B~Eを全て「0」と設定することにより、図8(b)に示すような0次のフィルタを構成することができるのである。

【0041】また、図3において、復調部2は線路等化器1からの受信信号を復調するものであり、ローパスフィルタ(ROF)3は復調された受信信号の波形整形を施すものであり、ロールオフフィルタ3からの出力信号は受信データを処理するための受信信号処理部15とともに、線路等化器制御部16に供給されるようになっている。

【0042】受信信号処理部15は、ロールオフフィルタ3からの受信信号について後段の端末において識別を行なうための信号処理を行なうものであり、ナイキスト周波数信号をキャンセルするナイキスト信号キャンセラ(NQCL)11、NQCL11の出力を等化する自動等化器(EQL)12、キャリア位相制御部(CAPC)13、受信信号に基づいて信号点判定を行なう判定部14などをそなえている。なお、上述の受信信号処理部15は従来のモデムとほぼ同様の構成を有しており、詳細な説明は省略する。

【0043】線路等化器制御部16は、ロールオフフィルタ3からの受信信号を入力されて、上述の送信用モデム41からの送信データ31に重畳されたトーン信号32, 33を抽出し、抽出されたトーン信号32, 33のレベルに基づいて、データが伝送されている回線の特性を判定し、係数A~Eの設定により線路等化器1の自動調節を行なうものである。

【0044】換言すれば、線路等化器制御部16は、抽出されたトーン信号32, 33のレベルの比較結果によって線路等化器1の自動制御を行ない、受信信号の周波数特性が平坦となり、且つ受信信号のレベルが所定レベルとなるように線路等化器1の係数A~Eを設定するものである。即ち、回線を介して伝送された送信データは特性が変化する。メタリック回線44では、例えば図6(b)に示すように、周波数が高くなるほど信号の減衰量が大きくなり、送信信号の周波数特性が平坦ではなくなってくる。また、伝送される距離が長くなればなるほど信号が減衰し、全体的な信号のレベルが低下する。

【0045】線路等化器制御部16は、このような受信信号の減衰をナイキスト周波数信号32, 33のレベルに基づいて判定することができ、この判定結果に基づいて線路等化器1を所望の特性を有するように係数A~Eを設定するのである。具体的には、受信信号のナイキスト周波数信号32, 33の平均を取ることによって、送信データの間帯域34における信号のレベルを算出し、これを振幅値特性情報とすることができる。これにより、中間帯域のレベルを基準となる信号レベルと比較することによって、受信信号が全体的にどの位減衰しているかを判別することができる。

【0046】また、ナイキスト周波数信号32, 33の差分を取ることによって、2つのナイキスト周波数信号を結ぶ直線35の傾きを算出する。直線35の傾きにより、高群のレベルが減衰しているのか、低群のレベルが減衰しているのかを判断することができ、受信信号の周波数特性の傾向を示している。即ち、ナイキスト周波数信号の差分の正負、大小によって受信信号の周波数特性がどのように劣化しているのかを判断できる。

【0047】なお、モデム41の送信部20では、送信データ31に重畳されるナイキスト周波数信号32, 33を、モデム42, 43がメタリック回線44を介して接続されている期間中は、継続して伝送するようになっている。即ち、線路等化器制御部16では、データ伝送時に重畳されるナイキスト周波数信号32, 33のレベルを確認することによって、データが伝送されている回線の特性を推測し線路等化器1を制御することが可能であり、送信用モデム41では受信用モデム42, 43のトレーニングを行わずにデータを伝送しても、線路等化器1の自動調節を行なうことができるようになるのである。

【0048】換言すれば、本実施形態におけるモデム41~43を適用したデータ通信システムにおいては、データ伝送の開始前にトレーニングを行なうことが必要でなくなり、即座にデータ伝送を開始できるように構成されている。ところで、この図3に示す線路等化器制御部16は、詳細には図9に示すように、帯域通過フィルタ部4、パワー演算部5、加算部6、参照値保持部7、積分回路8及びリミッタ9をそなえて構成されている。

【0049】帯域通過フィルタ部4は、受信信号中の特定周波数成分としてのナイキスト周波数成分32、33を抽出するものであって、高群の周波数を抽出する高群バンドパスフィルタ(BPFH)と、低群の周波数を抽出する低群バンドパスフィルタ(BPFL)としての機能を有しており、後述するように、詳細にはバンドパスフィルタ(帯域フィルタ)4-1、周波数シフト部4-2及びローパスフィルタ4-3をそなえて構成されている。

【0050】なお、帯域通過フィルタ部4においては、抽出すべき周波数としてのナイキスト周波数信号32、33の周波数を予め設定しておくことができる。また、パワー演算部5は、帯域通過フィルタ部4を通過した信号成分のパワー、即ち振幅を計算するものである。換言すれば、パワー演算部5は、帯域通過フィルタ部4により抽出された特定周波数信号のレベル(後述するようなレベル及び差レベル)を算出するレベル算出部としての機能を有している。

【0051】さらに、加算部6は、参照値保持部7からの基準値REFとパワー演算部5により算出された受信信号のパワー情報(特定周波数信号のレベル情報)との差分をとり、振幅誤差及び周波数誤差(振幅値の周波数特性)を算出するものである。換言すれば、加算部6は、パワー演算部5にて算出された信号レベルのパワー情報を、参照値保持部7にて予め設定された参照値と比較する比較部としての機能を有している。

【0052】ここで、参照値保持部7にて保持される参照値REFの値には基準となる振幅値が設定される。この参照値REFは、送信時のナイキスト周波数成分32、33のレベルと受信時のナイキスト周波数成分32、33の減衰度を比較するための基準値として機能するようになっている。さらに、積分回路8は、加算部6からの誤差成分(振幅誤差情報及び周波数誤差情報)を積分するものである。リミッタ9は、積分回路8からの周波数誤差情報に基づいて、線路等化器1を制御するためのパラメータとしての係数B~Eを出力するものである。ここで、線路等化器1を制御するための係数情報B~Eは、積分回路8から受信した信号の大きさに応じて決定される。

【0053】従って、上述の加算器6、参照値保持部7、積分回路8及びリミッタ9により、レベル算出部5により算出された信号レベルの値に基づいて、前記線路等化器1の特性を決定する係数を算出する係数算出部としての機能を有することになる。ところで、上述のバンドパスフィルタ4-1の構成としては、詳細には図10に示すような等化回路によりあらわすことができる。即ち、このバンドパスフィルタ4-1は、ロールオフフィルタ3の後段に接続され、受信信号の中から複数のナイキスト周波数信号を抽出するためのものである。これにより、線路等化器1の自動制御のために不要な送信デー

タを含む周波数成分を除去することができる。

【0054】この図10に示すように、バンドパスフィルタ4-1には、DCM1R、DCM2R、DCM1I、DCM2Iの4つの信号が入力され、送信データを含む周波数成分の除去された4つの信号BPF1R、BPF2R、BPF1I、BPF2Iの4つの信号が出力されるようになっている。なお、4つの入力信号のそれぞれは、復調部2により復調された信号であり、ベースバンド信号となっている。また、入力信号、出力信号のそれぞれの信号に付された符号「R」は実部成分であることを示しており、符号「I」は虚部成分であることを示している。

【0055】バンドパスフィルタ4-1は、実部成分から96kHz帯の信号を抽出する部分51aと、虚部成分から96kHz帯の信号を抽出する部分51bとに分けられている。両者は基本的に同様の構成を有している。さらに、56、57はそれぞれタップ(YT1、YT2)であり、1タイミング前の信号を格納するものである。また、52、53はそれぞれ乗算器であり、フィルタの係数ATM、CTMをそれぞれ入力される信号に対して乗算するものである。また、54、55はそれぞれ加算器である。

【0056】周波数シフト部4-2は、バンドパスフィルタ4-1から出力されるBPF1R、BPF2R、BPF1I、BPF2Iを入力されて、これらの信号について所定の周波数分(例えば±96kHz)シフトさせるものである。ここで、上述の周波数シフト部4-2として、+96kHzシフト処理を行なう機能に着目すれば、例えば図11に示す等価回路80を用いて構成することができる。さらに、上述の等価回路80の後段に接続されるローパスフィルタ4-3としては、詳細には例えば図12に示すような等価回路82を用いて構成することもできる。

【0057】即ち、この周波数シフト部としての等価回路80は乗算器81をそなえて構成されており、この乗算器81により、バンドパスフィルタ4-1から入力される信号を+96kHzで回転させて、ナイキスト周波数信号に関する+96kHzの周波数シフト処理を行なうものであり、これにより、後段のローパスフィルタ(LPF)4-3にてナイキスト周波数信号を抽出することができるようになっている。

【0058】具体的には、バンドパスフィルタ4-1からの周波数シフト部4-2に入力される信号のうち、ナイキスト周波数成分32、33の成分は透過される一方、送信データの周波数成分が除去されて、図13に示すような周波数スペクトルを有するベースバンド信号に変換されている。即ち、この図13に示すようにバンドパスフィルタ4-1からのナイキスト周波数信号31'、32'の周波数成分は±96kHzを有しており、実部成分と虚部成分とが混じっている。

【0059】周波数シフト部4-2では、このような±96kHzの位置にあるナイキスト周波数成分を、例えば図14(a)又は図14(b)に示すように、±96kHzシフトさせることにより、ナイキスト周波数成分中の+96kHzの成分と、-96kHzの成分とを分離するようになっており、これにより、後段のローパスフィルタ4-3でのナイキスト周波数成分の抽出を容易なものにしている。

【0060】具体的には、図13に示す信号31', 32'を+96kHzシフトさせることにより、図14(a)に示すように周波数0kHzの成分71と、周波数192kHzの成分72とに分離することができる一方、図12に示す信号31', 32'を-96kHzシフトさせることにより、図14(b)に示すように周波数-192kHzの成分71と、周波数0kHzの成分72とに分離することができるのである。

【0061】これにより、後段のローパスフィルタ4-3において、例えば図14(a)のように+96kHzシフトした信号が入力されると、低群のナイキスト周波数信号に相当する一方の信号71のみを通過させ、高群のナイキスト周波数信号に相当する他方の信号72を除去することができる。同様に、例えば図14(b)のように-96kHzシフトした信号が入力されると、高群のナイキスト周波数信号に相当する一方の信号72のみを通過させ、低群のナイキスト周波数信号に相当する他方の信号71を除去することができるのである。

【0062】換言すれば、周波数シフト回路4-2において、バンドパスフィルタ4-1からの信号をシフトさせた後にローパスフィルタ4-3を通過させることによって、±96kHzのナイキスト周波数信号のうちの少なくとも一方を抽出することができ、バンドパスフィルタ4-1を通過させた後の±96kHzの成分を分離するための処理を行なう必要がなくなる。

【0063】例えば、上述の周波数シフト回路4-2において+96kHzの周波数シフトを行なった場合には、後段のローパスフィルタ4-3としては図15に示すような通過特性Aを有するものを用いることにより、低群のナイキスト周波数信号に相当する一方の信号(直流成分)71のみを通過させ、高群のナイキスト周波数信号に相当する他方の信号72を除去することができるのである。

【0064】さらに、ローパスフィルタ4-3としての等価回路82は、図12に示すように、乗算器83、86、加算器84及びタップ85をそなえて構成されている。なお、図12中、二重線はベクトル信号を示す。ここで、乗算器83は、入力される信号に対して係数値LPA1を乗算するものであり、加算器84は、乗算器83から入力される信号に乗算器86から入力される信号

$$(X+jY)(\cos x+j\sin x)$$

$$=(X\cos x+Y\sin x)+j(Y\cos x+X\sin x) \quad \dots (1)$$

を加算するものであり、タップ85は加算器84からの1タイミング前の信号を格納するものであり、乗算器86はタップ85からの出力に対して係数LPA2を乗算し、加算器84に出力するものである。

【0065】従って、上述の周波数シフト部4-2として、+96kHzシフト処理を行なう機能部(図12の符号80参照)とともに-96kHzシフト処理を行なう機能部をそなえる一方、ローパスフィルタとして、周波数シフト部としての各機能部からの出力信号について、それぞれローパスフィルタ処理を施すような等価回路を並列的にそなえることにより、ローパスフィルタを構成することができる。

【0066】また、上述の周波数シフト部4-2にて+96kHzシフト処理を行なう機能に着目した場合においては、ローパスフィルタ4-3として、図16に示すような等価回路110で構成されるものを用いることができる。この図16に示す等価回路89は、加算器87及びタップ88のみにより構成され、図12に図示される等価回路82の場合に比して、各種係数を乗算する必要がなく、処理数を少なくすることができる。特に、本実施形態にかかるモデムが伝送速度が高いことに対応して、等価回路の構成を簡易化させて、DSPの処理サイクルに余裕を持たせることができる。

【0067】周波数シフト部4-2の前段には、既に説明した通り96kHz帯域の信号のみを通過させるバンドパスフィルタ4-1が接続されている。そのため、その他の帯域成分はシフト回路4-2への入力時点でほぼ除去されており、その分周波数シフト部4-2の後段のローパスフィルタ4-3の構成を簡易化することができる。

【0068】つまり、図16に示す等価回路89は、タップ88に格納された1タイミング前の信号と今回入力した信号とを加算することによって、ローパスフィルタ4-3として機能することができ、図12に示す等価回路82のように、ローパスフィルタ4-3を実現するための各種の係数の乗算を行なう必要がなくなるのである。

【0069】ところで、上述の周波数シフト回路4-2及びローパスフィルタ4-3としての機能は、本実施形態によるシフト回路における周波数シフト量(±96kHz)が、ナイキスト周波数(192kHz)の1/2であることを利用することにより、前述の図12、図16に示すものよりもさらに簡易化させて、例えば後述する図17(a)、図17(b)に示す等価回路90、95のように構成することも可能である。

【0070】ところで、入力される信号を $X+jY$ とすると、周波数シフトは以下に示すような式(1)により表すことができる。

また、周波数シフト量に対応する96kHzを持つsin波とcos波とを、 $\pi/2$ 毎のフェーズに分解すると、 ± 96 kHzシフトさせるためのsin波とcos波は図18(a)のようにそれぞれ0あるいは ± 1 で表現できる。図18(b)、図18(c)は、それぞれ+96kHz、-96kHzの波形を示した図である。
【0071】ここで、+96kHzシフトを行なう場合には、それぞれのフェーズは式(1)から以下に示すようになる。

$$\begin{aligned}\text{フェーズ0}+\text{フェーズ1} &: (X+Y)+j(Y+X) \\ \text{フェーズ1}+\text{フェーズ2} &: (Y-X)+j(X-Y) \\ \text{フェーズ2}+\text{フェーズ3} &: (-X-Y)+j(-Y-X) \\ \text{フェーズ3}+\text{フェーズ0} &: (-Y+X)+j(-X+Y)\end{aligned}$$

となる。ここで、フェーズ0+フェーズ1とフェーズ2+フェーズ3とは位相差が 180° となり、同様にフェーズ1+フェーズ2とフェーズ3+フェーズ0との位相差は 180° である。また、フェーズ0+フェーズ1とフェーズ1+フェーズ2、フェーズ1+フェーズ2とフェーズ2+フェーズ3との位相差はそれぞれ 90° である。

【0073】また、-96kHzシフトを行なう場合に

$$\begin{aligned}\text{フェーズ0}+\text{フェーズ1} &: (X+Y)+j(Y-X) \\ \text{フェーズ1}+\text{フェーズ2} &: (Y-X)+j(-X-Y) \\ \text{フェーズ2}+\text{フェーズ3} &: (-X-Y)+j(-Y+X) \\ \text{フェーズ3}+\text{フェーズ0} &: (-Y+X)+j(X+Y)\end{aligned}$$

となる。なお、位相の関係は+96kHzシフトの場合と同様である。

【0074】ここで、フェーズ0とフェーズ1との関係のみに着目した場合、+96kHz、-96kHzシフトさせるための等価回路を、それぞれ図17(a)、図17(b)に示すように構成することができる。なお、詳細は後述するが、本実施形態による周波数シフト部4-2及びローパスフィルタ4-3は、ナイキスト周波数192kHzよりも低い12kHzによる処理を行なうため、周波数シフトの処理を行なう場合には、フェーズ0とフェーズ1との関係のみに着目するようにしても充分である。

【0075】即ち、図17(a)に示す等価回路90は、+96kHzシフト処理を行なう周波数シフト部4-2としての機能と、ローパスフィルタ4-3としての機能を有し、タップ91、92及び加算器93、94をそなえて構成されている。一方、図17(b)に示す等価回路95は、-96kHzシフト処理を行なう周波数シフト部4-2としての機能と、ローパスフィルタ4-3としての機能を有し、タップ96、97及び加算器98、99をそなえて構成されている。

【0076】図17(a)に図示される等価回路では、入力端から入力された実部成分X、虚部成分Yは、それぞれタップ91、92に供給されるとともに、加算器93、94に供給される。加算器93では、タップ91か

フェーズ0: $X+jY$

フェーズ1: $Y+jX$

フェーズ2: $-X-jY$

フェーズ3: $-Y-jX$

で表される。この信号が図17に図示された等価回路90に入力されると、等価回路90では以下に示すような値が出力される。

【0072】

は、式(1)より、

フェーズ0: $X+jY$

フェーズ1: $Y-jX$

フェーズ2: $-X-jY$

フェーズ3: $-Y+jX$

となる。その結果、図16の簡易LPFに各フェーズの信号を入力させた結果は、

らの1タイミング前の入力実部成分Xと、今回入力された虚部成分との差分を取る一方、加算器94ではタップ92からの1タイミング前の入力虚部成分Yと今回入力された実部成分Xとを加算する。

【0077】加算器93の出力 $(X-Y)$ は、「フェーズ0+フェーズ1」の実部成分であり、LPFRとして出力される一方、加算器94の出力 $(Y+X)$ は「フェーズ0+フェーズ1」の虚部成分であり、LPFIとして出力される。また、図17(b)に図示される等価回路の場合においては、入力端から入力された実部成分X、虚部成分Yは、それぞれタップ96、97に供給されるとともに、加算器98、99に供給される。

【0078】加算器98では、タップ96からの1タイミング前の入力実部成分Xと、今回入力された虚部成分Yとを加算する $(X+Y)$ 。また、加算器99では、タップ97に格納された1タイミング前の入力虚部成分Yと今回入力された実部成分Xとの差分を取る $(Y-X)$ 。これにより、加算器98の出力はLPFRとして、加算器99の出力はLPFIとしてそれぞれ出力される。

【0079】上述したような構成の等価回路90、95を、図19に示すようにパワー演算部5の前段に介装することにより、これら等価回路90、95は、周波数シフト・ローパスフィルタ共用部として機能することになる。さらに、この図19に示す周波数シフト部4-2及

びローパスフィルタ4-3、パワー演算部5及び加算部6により、第1RLEQ制御部130が構成される。なお、このRLEQ制御部130についても例えばDSPを用いて構成することができる。

【0080】ここで、この図19に示す等価回路90においては、前述の図10に示すバンドパスフィルタ4-1からの信号(BPF1R, BPF2R, BPF1I, BPF2I)を入力されて、ベースバンド帯のナイキスト周波数信号31', 32' (図13参照) から低群、即ち-96kHz帯のナイキスト周波数信号71 (図14(a)参照) を抽出するようになっている。

【0081】同様に、等価回路95においては、バンドパスフィルタ4-1からのナイキスト周波数信号31', 32' (図13参照) から高群、即ち+96kHz帯のナイキスト周波数信号72 (図14(b)参照) を抽出するようになっている。なお、図19中、乗算器100aは、前述の図17(a)においては図示されていない等価回路90の構成要素であって、加算器93及び加算器94からの出力信号についてベクトル信号化されたものを入力されて、後段の信号処理にてオーバーフローが発生することを防止すべく、レベル調整値としての例えば「1/2」を乗算するものである。

【0082】また、乗算器100bは、前述の図17(b)においては図示されていない等価回路95の構成要素であって、加算器98及び加算器99からの出力信号についてベクトル信号化されたものを入力されて、後段の信号処理にてオーバーフローが発生することを防止すべく、レベル調整値としての例えば「1/2」を乗算するものである。

【0083】なお、上述の周波数シフト部4-2、ローパスフィルタ4-3の等価回路90、95において、符号1R, 1I, 2R, 2Iはそれぞれ入力する信号を示しており、符号R, Iはそれぞれの信号が実部成分、虚部成分であることを示し、「1」、「2」はそれぞれ等価回路90、95に入力した順を示している。つまり、信号1R, 1Iは信号2R, 2Iよりも1タイミング前に入力した(つまりタップ91, 92, 96, 97に格納された)信号であることを示している。

【0084】ところで、図3又は図9に示すパワー演算部5は、詳細には図19に示すような等価回路101a, 101bにより構成され、加算部6についても、詳細には図19に示すような等価回路104a, 104bにより構成される。なお、図19中で二重線で図示されている経路は、ベクトル信号を示し、実線で図示された経路はスカラー信号の経路となっている。また、図中Xは実部信号を、Yは虚部信号を示している。

【0085】ここで、パワー演算部5を構成する等価回路101aは、帯域通過フィルタ部4にて抽出された2つのナイキスト周波数信号(図14(a)の符号71に示すトーン信号及び図14(b)の符号72に示すト-

ン信号参照)のレベルの和(1/2を乗算している)ので値としては平均値)を演算することにより、送信データにおける中間帯域信号のレベルを算出する全パワー算出部として機能するものであり、加算器103aをそなえて構成されている。

【0086】さらに、等価回路101bは、複数の特定周波数信号としての2つのトーン信号71, 72のパワー差分を算出することにより、抽出された2つのナイキスト周波数信号のレベル値を結ぶ直線の傾き成分を算出するパワー差分算出部として機能するものであり、加算器103bをそなえている。また、図3又は図9に示す加算部6は、上述のパワー演算部5にて演算された中間帯域信号34のレベル及び2つのトーン信号のパワー差分を入力され、これらの値の、送信時に重畳されたトーン信号における値に対する誤差を算出する誤差算出部として機能するものであって、振幅誤差算出部104aと周波数誤差算出部104bとをそなえて構成されている。

【0087】ここで、振幅誤差算出部104aは、参照値保持部7からの所定の大きさを持つ第1基準値(参照値)REF1と全パワー算出部101aからの信号との差分を演算する加算器105aをそなえ、この加算器105aにおける演算結果を振幅値誤差情報として出力するようになっている。なお、第1基準値REFとしては例えば16進で「4000」とすることができるが、この値は適宜選択できる。

【0088】また、周波数誤差算出部104bは、参照値保持部7からの所定の大きさを持つ第2基準値(参照値)REF2とパワー算出部101bからの信号との差分を演算する加算器105bをそなえ、この加算器105bにおける演算結果に応じた値を周波数誤差情報として出力するようになっている。なお、上述の第2基準値REF2は、16進で「0000」とすることができる。

【0089】これにより、この図19に示す第1RLEQ制御部130では、バンドパスフィルタ4-1から入力されるベクトル信号が、実部成分と虚部成分を持つ2つのスカラー信号に分けられて、周波数シフト部4-2、ローパスフィルタ4-3に入力される。周波数シフト部4-3及びローパスフィルタ4-3として機能する機能部(等価回路90, 95)からの出力信号は、パワー演算部5としての機能部(等価回路101a, 101b)に入力される。

【0090】パワー演算部5の全パワー算出部101aには、等価回路90からの低群ナイキスト周波数信号が入力され、パワー差分算出部101bには等価回路95からの高群ナイキスト周波数信号が入力される。全パワー算出部101aの加算器103aでは、低群ナイキスト周波数信号と高群ナイキスト周波数信号とを加算する。ここで、それぞれの信号は乗算回路131gにより

1/2にされているため、加算器132dの出力は2つのナイキスト周波数信号の平均値、つまり中間帯域信号(図6(b)の符号34参照)のレベルに相当するものとなる。

【0091】一方、パワー差分算出部101bの加算器103bでは、高群ナイキスト周波数信号から低群ナイキスト周波数信号を差し引く。これによって、2つのナイキスト周波数信号の振幅の差を求めることができ、図6(b)の直線の傾きBが算出される。これによって、受信信号の周波数特性が算出される。パワー演算部5(全パワー算出部101a及びパワー差分算出部101b)からの出力は、誤差算出部としての加算部6(振幅誤差算出部104a及び周波数誤差算出部104b)に入力される。

【0092】振幅誤差算出部104aでは、加算器105aにおいて、全パワー算出部132aからの信号を、所定の大きさを持つ第1基準値REF1と比較し、受信信号の減衰量を算出し、振幅誤差情報として出力する。周波数誤差算出部104bでは、加算器105bにおいて、パワー差分算出部101bからの信号を、所定の大きさを持つ第2基準値REF2と比較し、その結果に応じた値を、周波数誤差情報として出力する。

【0093】受信信号の周波数特性が平坦である場合には、2つのナイキスト周波数信号のレベルは同一であり、パワー差分算出部101bからの出力は「0」となる。また、パワー差分算出部101bの出力が16進の参照値〔0000〕よりも大きい場合、即ち正の値をとる場合には、受信信号の高域成分が低域成分よりも大きいことがわかる。そして、この場合には、周波数誤差算出部104bからは負の値を持つ信号が出力される。

【0094】一方、パワー差分算出部101bの出力が〔0000〕よりも小さい場合、つまり負の値をとる場合には、逆に高域成分が減衰していることがわかる。この場合、周波数誤差算出部104bからは正の値をもつ信号が出力される。従って、周波数誤差算出部104bの出力は、受信信号の周波数特性を示していることになる。

【0095】このように、第1RLEQ制御部130においては、誤差算出部としての加算部6から出力される信号の値に応じて、受信信号の振幅誤差と周波数誤差を判別することができるようになっている。ところで、図3又は図9に示す積分回路8は、上述の第1RLEQ制御部130出力としての加算部6からの振幅誤差情報及び周波数誤差情報について積分するものであり、図20に示すような第2RLEQ制御部として構成されるようになっている。即ち、この図20に示す第2RLEQ制御部8は、振幅誤差積分部142及び周波数誤差積分部143をそなえた二段構成を有している。

【0096】また、振幅誤差積分部142は、詳細にはAND回路141a、加算器141c、乗算器141

e、加算器141g、AND回路141i、141k、タップ141m、加算器141o、乗算器141q、141s、加算器141u、二乗回路141w及びタップ141yがそなえられている。同様に、周波数誤差積分部143は、詳細にはAND回路141b、加算器141d、乗算器141f、加算器141h、AND回路141j、141l、タップ141n、加算器141p、乗算器141r、141t、加算器141v、二乗回路141x及びタップ141zがそなえられている。

【0097】上述の振幅誤差積分部142及び周波数誤差積分部143は、それぞれ扱う情報種別が異なる以外は基本的な構成は同じであるため、特に上段に着目して説明を行ない、必要な部分について下段の説明を行なうこととする。ここでまず、振幅誤差積分部142のAND回路141a、加算器141c、乗算器141eまでの信号処理について図21を用いて説明する。なお、ここでは信号は16進法により表記している。

【0098】本実施形態によるRLEQ制御部130、8はDSPを使用しているが、このDSPは+2.0〜−2.0の範囲の信号を扱うことができるものであるとする。そのため、図21の表では10進で表記された数値は+2.0〜−2.0の範囲となっている。また、16進法による数値は〔0000〕〜〔FFFF〕の範囲を取りうる。ここで、+0.0〜+2.0は〔0000〕〜〔7FFF〕が対応しており、−0.0〜−2.0は〔FFFF〕〜〔8000〕の範囲になっている。

【0099】AND回路141aでは、入力される信号と16進の〔8000〕のAND(論理積演算)が取られる。これによって、AND回路141aに入力される信号から極性ビットを抽出することができる。即ち、このAND回路141aにおいて、〔0000〕〜〔7FFF〕の範囲の数値と〔8000〕とのANDを取るとAND結果が〔0000〕となり、〔FFFF〕〜〔8000〕の範囲の数値と〔8000〕とのAND演算の結果は〔8000〕となる。

【0100】つまり、入力信号の符号が正の場合にはAND回路141aの出力は常に〔0000〕となり、2進法で表記した場合の先頭ビットは「0」となる一方、入力信号の符号が負の場合は、AND回路141aの出力は常に〔8000〕となり、先頭ビットは「1」となる。即ち、AND回路141aの出力により、入力信号の正負を判別することができる。ここで、〔0000〕は10進法の+0.0、〔8000〕は同じく−2.0に対応している。

【0101】続いて、加算器141cにより16進表記の〔4000〕がAND回路141aの出力に加算される。〔4000〕は10進法の+1.0に対応しているため、加算器141cへの入力信号が〔0000〕の場合には加算器141cの出力は〔4000〕(10進法の+1.0)となり、加算器141cへの入力信号が

〔8000〕の場合には加算器141cの出力は〔C000〕（10進法で-1.0）となる。このように、加算器141cからは振幅誤差積分回路142に入力される信号の正負に応じて10進表記の±1.0の値が出力される。

【0102】さらに、加算器141cの出力は乗算器141eに供給され、16進法の〔0001〕と乗算される。加算器141cの出力が〔4000〕の場合には、乗算器141eの出力は〔0001〕となり、これは+LSBとなる。一方、加算器141cの出力が〔C000〕の場合には、乗算器141eの出力は〔FFFF〕となり、これは-LSBとなる。

【0103】従って、乗算器141eからは入力信号の振幅に対応した符号を持つ信号ALLが出力される。ALLは入力信号のレベルが基準値よりも小さい場合に+LSBを出力し、入力信号のレベルが基準値よりも大きい場合には、-LSBを出力する。即ち、AND回路141a～乗算器141eにより、入力する信号の符号に応じて±LSBを出力することができるようになっているのである。

【0104】なお、周波数誤差積分部143の乗算器141fからは入力信号の周波数特性に応じた符号を持つ信号DFFが出力される。このDFFとしては入力信号の高群が小さい場合に+LSBを出力し、入力信号の高群が大きい場合に-LSBを出力する。また、加算器141gにおいて、乗算器141eから出力されたALLとタップ141mにて格納されたALLAとを加算する。周波数積分部143の加算器141hにおいても同様に、乗算器141fからのDFFとともにタップ141nに格納されたDFFAとを加算して出力する。

【0105】振幅誤差積分部142のAND回路141iは、加算器141gからの出力信号と16進〔00FF〕とのANDを取り、加算器141gからの出力信号についての2進法で表記した場合の下位8ビットを抽出するものである。同様に、AND回路141kは加算器141gからの信号と16進〔FF00〕とのANDを取り、加算器141gからの出力信号についての上位8ビットを抽出するものである。

【0106】図22は、AND回路141kでの処理を説明するための図である。即ち、AND回路141kにおいて入力信号に対して16進〔FF00〕とのAND演算を行なった結果は、入力信号が〔0000〕～〔00FF〕の範囲である場合には、AND結果はいずれも〔0000〕となるが、入力信号が〔0100〕～〔7FFF〕の範囲にある場合には、AND結果は〔0100〕～〔7F00〕となり、これによって入力信号の上位8ビットが抽出される。

【0107】同様に、入力信号が〔FFFF〕～〔8000〕の範囲にある場合には、AND結果は〔FF00〕～〔8000〕となり、図22に図示されるように

上位8ビット（図22の場合は16進表記となっている）が抽出される。一方、AND回路141iにより入力信号と〔00FF〕とのANDを取った結果を見ると、〔0000〕～〔00FF〕の範囲ではAND結果は〔0000〕～〔00FF〕、つまり入力信号と同一の信号が出力される。また、〔0100〕～〔7FFF〕の範囲では、順次〔0000〕～〔00FF〕が繰り返される。

【0108】一方、乗算器141qは、AND回路141kからの出力に対して1/2を乗算するものであり、AND回路141kの出力（上位8ビット）の1/2の数値が出力されるようになっている。具体的には、図22に示すように、入力信号が〔0000〕～〔00FF〕の範囲にある場合には、AND結果の上位8ビットは〔00〕であり、乗算器141qの出力は〔0000〕となる。一方、入力信号が〔0100〕の場合には、乗算器141qの出力は〔0080〕となる。また、入力信号が〔FFFF〕の場合には、乗算器141qの出力は〔FF80〕（〔0080〕の正負が逆転したもの）となる。

【0109】さらに、加算器141oでは、AND回路141iの出力（入力信号の下位8ビット）と乗算器141qの出力（入力信号の上位8ビットの1/2）とが加算される。その結果、入力信号が〔0000〕～〔00FF〕の範囲にある場合には、乗算器141qの出力が〔0000〕のために、加算器141oからは入力信号と同じ値を持つ信号が出力される。加算器141oからの出力信号は、前述のタップ141mにALLAとして格納され、順次入力されるALL（±LSB）と加算される。

【0110】一方、入力信号が〔0100〕の場合には加算器141oの出力は〔0080〕となり、入力信号が〔FFFF〕の場合にも加算器141oの出力は〔0080〕となる。この〔0080〕という値は、〔0000〕と〔00FF〕との丁度中間にあたる。このように、加算器141oから出力された〔0080〕という値は上述の場合と同様にタップ141mにALLAとして格納される。

【0111】ここで、加算器141gに入力されるのは、±LSBであるため、加算器出力は一時に±LSB程度の変動となる。そのため、加算器141gからの入力信号が〔0000〕～〔00FF〕の範囲を外れた場合（〔0100〕か〔FFFF〕）には、ALLAには〔0080〕がセットされる。さらに、〔0000〕～〔00FF〕の範囲は、線路等化器1の調整幅を決定するための範囲となっている。そして、加算器141aの加算結果が前述の範囲を超えた場合、加算器141oからの出力〔0080〕は、上述の加算結果をこの範囲の中間位置に引き戻す作用をなし、中間位置から再び加算を始めることができるようになっている。

【0112】この範囲は適宜選ぶことができ、これは上位ビットと下位ビットをそれぞれ何ビットにするかによって決定される。例えば、上位ビットのビット数を減らすことによってこの幅を広くとることができ、逆に上位ビット数を増やすことによってこの幅を狭くすることができる。なお、加算器141g、AND回路141i、141k、タップ141m、乗算器141q及び加算器141oは積分回路を構成し、加算器141h、AND回路141j、141l、タップ141n、乗算器141r及び加算器141pについても積分回路を構成しているが、これらの積分回路は、上記の数値の幅に応じて積分回路の時定数を長くしたり短くしたりすることができる。

【0113】また、上述の如き積分回路に供給される信号(ALL、DFE)は ± 1 であり、加算器141gから出力される加算値は一時に ± 1 LSBしか変化しない。積分回路からの出力は後段の線路等化器を制御するために用いられるが、このような ± 1 LSBのようにできる限り小さい値を用いることによって、線路等化器の変動を抑え、線路等化器の動作を安定させることができる。

【0114】換言すれば、積分回路から出力される信号の変動幅が大きい場合のように、線路等化器の動作の変動の仕方が大きくなりすぎ、線路等化器を安定して動作させることができなくなることを防止している。ところで、振幅誤差積分部142の乗算器141sでは、AND回路141kの出力に16進(0040)を乗算する。この結果乗算器141sからは再び ± 1 LSBが出力される。

【0115】乗算器141sからの出力信号(± 1 LSB)は、加算器141u、二乗回路141w、タップ141yにより構成される積分回路で再び積分され、振幅誤差を示す信号ALEQ(線路等化器1に入力される係数A)として出力される。周波数誤差積分部143においても、上述の場合と同様に、加算器141v、二乗回路141x、タップ141zにより構成される積分回路で積分された後、周波数特性の誤差を示す信号FLEQとして出力される。

【0116】これにより、第1RLEQ制御部130からの振幅誤差情報からALL(± 1 LSB)を生成し、この ± 1 LSBによって振幅誤差を示す信号ALEQを生成することができる。即ち、この信号ALEQにより後段の線路等化器1の係数を調整して、入力信号のレベルを補正することができる。具体的には、ALLとして+LSBが出力されると入力信号のレベルを増幅させるような線路等化器1の係数が設定され、ALLとして-LSBが出力されると、入力信号のレベルを減衰させるような線路等化器1の係数が設定されるのである。

【0117】換言すれば、第2ALEQ制御部8から出力される信号ALEQは、第1RLEQ制御部130に

入力される信号のレベルが基準値よりも小さい場合に増大し、第1RLEQ制御部130に入力される信号レベルが基準値よりも大きい場合に減少する。従って、前述の線路等化器1(図7参照)における乗算器171から出力される信号は、ALEQの大きさに応じてレベルが調整される。具体的には、第1RLEQ制御部130への入力信号が小さい場合には乗算器171の出力は大きくなり、第1RLEQ制御部130への入力信号が大きい場合には乗算器171の出力信号の値が抑えられる。このように、乗算器171は、入力される振幅誤差信号ALEQによって実質的にAGC回路として機能することになるのである。

【0118】また、第2RLEQ制御部8では、第1RLEQ制御部130からの振幅誤差情報からDFE(± 1 LSB)を生成し、この ± 1 LSBによって振幅誤差を示す信号FLEQを生成することができる。即ち、この信号FLEQにより後段の線路等化器1の係数を調整して、入力信号の周波数特性を補正することができるのである。

【0119】具体的には、DFEとして+LSBが出力されると、振幅誤差信号FLEQに基づいて、高群の周波数信号を増幅するような線路等化器1の係数が後段のリミッタ9を介して設定され、DFEとして-LSBが出力されると高群を減衰させるような線路等化器1の係数がリミッタ9を介して設定されるのである。さらに、図3又は図9に示すリミッタ9は、詳細には図23に示すような構成を有している。即ち、この図23に示すリミッタ9は、第2RLEQ制御部(積分回路)8からの振幅誤差を示す信号FLEQに基づいて、前述の図7に示す線路等化器1の係数B~Eを設定するものであり、各係数B~Eを設定するためのBLEQ部212、CLEQ部213、DLEQ部214及びELEQ部215をそなえて構成されている。

【0120】即ち、上述のリミッタ9のBLEQ部212~ELEQ部215は、それぞれ、入力されるFLEQの値に基づいて、図24に示すような1次関数特性で係数B~Eの値を設定(又は生成)して出力するようになっている。なお、この図24において、横軸はFLEQの大きさを示しており、最右端が0であり、左側ほどFLEQの値が大きくなる。前述したように、FLEQは、低群ナイキスト周波数信号と高群ナイキスト周波数信号のレベルの差分に対応した値である。また、横軸は係数の値であり、最下端が0であり上となるに従って値が小さくなる(負となる)例を図示している。

【0121】ここで、BLEQ部212は、FLEQの値に対して1次関数($y = ax + b$; この場合においてはyはBに該当し、xはFLEQに該当する)における傾きaに該当する値aBを乗算する乗算器212aをそなえており、これにより、BLEQ部212から出力される係数値Bは、入力されるFLEQの値に応じて図2

6に示すBLEQのように変化するようになっている。

【0122】同様に、DLEQ部214は、FLEQの値に対して1次関数($y = ax + b$)における傾きaに該当する値aDを乗算する乗算器214aをそなえており、これにより、DLEQ部214から出力される係数値Dは、入力されるFLEQの値に応じて図26に示すDLEQのように変化するようになっている。一方、係数CLEQについては、1次関数($y = ax + b$)における切片bに該当する項は0ではないため、CLEQ部213には乗算器213aに加えて加算器213bがそなえられている。乗算器213aによりFLEQと係数aC(CLEQの傾き)が乗算され、その結果に対して更に加算器213bにて係数bCが加算されるようになっている。

【0123】同様に、係数ELEQについても、1次関数($y = ax + b$)における切片bに該当する項は0ではなく、ELEQ部215には乗算器215aに加えて加算器215bがそなえられている。乗算器215aではFLEQと係数aEが乗算され、加算器215bにより更に係数bEが加算される。ここで、係数CLEQ、ELEQについては、図24中における(2)の領域ではその値を0とする必要がある。そのため、CLEQ部213、ELEQ部215では、領域(2)で係数値を0とするための回路がそなえられている。

【0124】即ち、CLEQ部213には、上述の乗算器213a及び加算器213bのほか、加算器213cと加算器213dとがそなえられている。加算器213cは加算器213bの出力に2.0を加算するもので、加算器213dは加算器213cの出力に-2.0を加算するものである。図25は加算器213c、213dの作用を説明するための図である。

【0125】加算器213bの出力は、図25のCLEQ(1)に対応している。図25において点線の部分は本来係数値が0となるべき領域を表しているが、加算器213bの出力はこの部分は0とはなっていない。ここで、加算器213cにおいて、加算器213bの出力に対して2.0を加算すると、図26のCLEQ(2)のように加算器213bの出力がシフトする(矢印参照)。次に加算器213dにより加算器213cの出力に-2.0を加算すると、CLEQ(2)は再びCLEQ(1)にシフトする(矢印参照)。

【0126】ここで、線路等化器1及びリミッタ9は、+2.0~-2.0の数値範囲を採りうるDSPにより構成されているので、数値が例えば「+2.0」を超えた領域(図25の領域A参照)においては信号がクリップされた状態となる。即ち、図26の(A)の領域では、加算器213bの出力は0以上となっているために、加算器213cにより「2.0」を加算するとその結果は「2.0」を超えてしまう。そのため、図26(A)の領域では加算器213cからの出力は「2.0」にクリップされる(図示一点鎖線及び矢印参照)。

0」にクリップされる(図示一点鎖線及び矢印参照)。

【0127】この加算器213c出力に対して、加算器213dにより「-2.0」を加算すると、図26

(A)の領域については加算器213dの出力は一律0となる。これにより、加算器213cと加算器213dにより、線路等化器1を1次のHPFとして作用させる必要がある領域(図24における(2)参照)では係数CLEQの値を「0」とすることができる。

【0128】ELEQ部215でも、CLEQ部213におけるもの(符号213c、213d)とほぼ同様の機能を有する加算器215c、加算器215dをそなえ、上述のCLEQ部213の場合と同様にして(矢印~矢印参照)、線路等化器1を1次のHPFとして作用させる必要がある領域(図24における(2)参照)で、係数値Eを「0」とすることができる。

【0129】即ち、この図24において、(1)の領域は線路等化器1を2次のHPFとして作用させる領域であり、(2)の領域は線路等化器1を1次のHPFとして作用させる領域であり、FLEQ=0では線路等化器1を0次のHPFとして作用させる。なお、図24、図25中、F1は、横軸を(1)の領域と、(2)の領域とに分割する点を示している。

【0130】即ち、線路等化器1を0次のHPFとして作用させる場合には、各係数値B~Eは「0」となる。また、線路等化器1を1次のHPFとして作用させる場合には、係数値B、DはFLEQの値に応じた上述の如く設定され、係数値C、Eは「0」となる。そして、線路等化器1を2次のHPFとして作用させる場合には、係数値B~EはFLEQの値に応じて上述の如く設定される。

【0131】以上のように、リミッタ回路211により入力するFLEQの値に応じて生成される係数BLEQ~ELEQの値を変えるために、受信信号の周波数特性に適した線路等化器1の係数を発生させることができるようになる。換言すれば、図24に示すような値にBLEQ~ELEQを設定することにより、各係数BLEQ~ELEQの値を連続的に変化させることができるので、線路等化器1の周波数特性の変化を連続的にすることができる。

【0132】ところで、本実施形態にかかる線路等化器1は、線路等化器1の乗算器171による自動利得制御による作用を除いて考慮すると、例えば図26に示すような周波数特性を有することができる。即ち、前述したように、メタリック回線44においては、一般的に高域の周波数成分を持つ信号は減衰しやすく、低域周波数成分は高域周波数成分と比較して減衰しにくいので、本実施形態にかかる線路等化器1は、リミッタ9からの係数B~Eの設定により、図26に示すような周波数特性を持たせることが必要である。

【0133】特に、送信用モデム41と受信用モデム42、43との間の距離（即ち回線44の物理的な長さ）が長くなると、高周波成分の減衰量が非常に大きくなるため、受信信号の周波数成分が高くなるに従って、信号の増幅量が多くなるように特性を設定する。一方、低周波成分については減衰量が大きくないため、線路等化器1においては、低周波成分については増幅を行わず、逆に減衰させるような特性を持つ。

【0134】このように、線路等化器1においては、高域成分は増幅し、低域成分は減衰させることによって、高域成分・低域成分のバランスを取ることができ、出力される信号の周波数特性を平坦にさせることができる。なお、線路等化器1は、高域成分を通過させ、低域成分を減衰させる特性を持つため、ハイパスフィルタ（HPF）と考えることもできる。

【0135】低域成分の信号についても回線による減衰が全くないわけではないが、受信信号の全体的なレベルは信号レベル調整用の乗算器171により調整されているため、乗算器171以外の線路等化器の構成要素（符号172～181参照）は、単に信号の周波数特性を平坦にするためのみに作用している。ここで、リミッタ9では、線路等化器1の係数B～Eを設定することにより、図26に図示されるように入力する信号の周波数特性に応じてフィルタ特性を変えているが、（1）のような範囲では2次のHPFで処理を行なっても処理速度が高速な固定小数点演算を行なうDSPを使用することができる。

【0136】また、フラットな特性が必要となる範囲（2）では、入力する信号の特性に応じて各係数B～Eを可変させることにより、線路等化器1を2次HPF－1次HPF－0次HPFと連続的に切り換え、線路等化器1の周波数特性を変化させる。これにより、各乗算器172～175に与える係数の値を非常に大きなものとする必要がなくなり、浮動小数点演算を行なうDSPを使用せずに、演算速度が高速な固定小数点演算を行なうDSPで対応することができる。

【0137】例えば係数C、Eを「0」とすることによって、図7に図示される線路等化器1の最下段の動作を実質的に無効化させて、図8に示すような1次フィルタを構成することができる。更に、係数B、Dを「0」とすることによって、図7に図示される線路等化器1の最下段及び中段の動作を無効化させて、図9に示すような0次フィルタを構成することができるのである。

【0138】なお、図27は、上述の如き線路等化器1の特性の一例を示した図である（乗算器171を考慮せず）。この図25において、（1）の領域は線路等化器1を2次のHPFとして動作させた場合（図7参照）の特性を示し、（2）の領域は線路等化器1を1次のHPFとして動作させた場合（図8参照）の特性を示し、（3）のフラットな領域は線路等化器1を0次のHPF

として動作させた場合（図9参照）の特性を示している。

【0139】ここで、本実施形態にかかるモデムのボーレートは192kHzであるが、DSPの処理の負荷を低減することが望まれるため、可能な部分では処理速度を落とすことが望ましい。例えば本実施形態にかかる線路等化器1の制御などは、1ボーレート毎に処理を行なわなくてもよいので、処理の速度を低減させることが可能となる。

【0140】そのため、本実施形態による第1、第2RELQ制御部130、8は、12kHzによる処理を行なう。これによって、線路等化器制御のためのDSPの処理の負荷を低減することができる。ここで、入力する信号は192kHzの周期を有しているために、入力してくる信号を12kHzの周期で抽出しなければならない。図28はこの場合に発生すると考えられる課題を説明する図である。

【0141】モデムにより受信される信号は、±96kHzの帯域を持っており、線路等化器1の特性を制御するためには受信信号の帯域全体の特性（振幅）を見る必要がある。これに対して12kHz単位で信号を抽出する場合には、一時に受信信号の一部帯域しかみることができない。96kHzの帯域幅を持つ信号を12kHzで分割すると、受信信号は8つの区画に分割することができる。ここで、12kHz単位で分割された受信信号の1区画のみを確認した場合、その部分の振幅がどの程度であるかを確認することができる。

【0142】受信信号全体の特性は様になっているわけではなく、帯域によっては確認できた区画よりも振幅が大きい、あるいは小さいという可能性は非常に大きい。しかし、確認できた一部分のみの振幅に基づいて線路等化器1の特性を制御することとなると、受信信号の特性に対応した周波数特性を線路等化器1に持たせることができなくなる。

【0143】そのため、仮に12kHz単位で分割された一区画に基づいて受信信号の確認を行なうとしても、全体的な受信信号の傾向を把握できるようにする必要がある。そこで、例えば図29に示すように、図9に示す帯域通過フィルタ部4の前段にランダム抽出回路271をそなえ、12kHz単位での受信信号の抽出をランダムに行なう。

【0144】即ち、図29はランダム抽出回路271とそれに接続される帯域通過フィルタ部4のバンドパスフィルタ4-1を示す図である。ここで、バンドパスフィルタ4-1は、図10に図示したものと同一のものである。ランダム抽出回路271は、入力される復調信号の実部成分及び虚部成分毎に、複数段接続されたタップ273とランダム抽出部274とをそなえて構成されており、タップ273は、FRM1周期分のサンプル点に相当する数の信号がランダム抽出部に入力するのに必要な

段数だけ接続される(中間部分図示省略)。このランダム抽出回路271を用いることによって、線路等化器制御部16におけるバンドパスフィルタ4-1以降の各機能部にて12kHzの処理を行なうことが可能となる。

【0145】ところで、図30は、上述のランダム抽出回路271にて行なわれるランダム抽出の考え方を説明するための図であり、この図30において、241は線路等化器としてのフィルタ(LEQ)に相当、242は受信信号に基づいて信号点判定を行なう判定部、243は上述のランダム抽出部274としてのランダム抽出回路である。

【0146】フィルタ241に入力する信号は192kHzで入力しているが、ランダム抽出回路243からの出力は12kHz単位となっている。図31は各信号のタイミングを示す図である。この図31において、FRMは12kHz単位で発生するフレーム信号を示している。また、FBOは192kHz単位で発生するタイミング信号である。FRMの1周期中にFBOが16シンボル含まれる。また、下段はサンプル信号であり、FBOの2倍の384kHzの信号である。

【0147】FRMの1周期中では、全体で32回のサンプリングが行なわれるため、8通りのランダム抽出を行なうためには、入力信号の1周期当たり4個のサンプル点を抽出すればよい。図32は入力波形のランダム抽出について説明する図である。入力信号は96kHzの周期であり、入力信号1周期あたり4回サンプリングされることになる。

【0148】ここで、入力波形1周期分のAを抽出した後と同様に1周期分のBを抽出するが、この際にランダム抽出した後の波形が連続的となるように、ランダム抽出を行なう。これにより、ランダム抽出回路271を帯域通過フィルタ部4の前段にそなえ、線路等化器1の制御を受信信号の周波数よりも低い12kHzで行なうことができるので、DSPの処理の負荷を低減させることができる。

【0149】上述の構成により、本発明の一実施形態にかかる伝送装置としてのモデムが適用されたデータ通信システム40では、送信用モデム41において、送信信号として、図示しないホスト装置等からの送信データ31にナイキスト周波数信号32、33としてのトーン信号を重畳させることにより、メタリック回線44を介して受信用モデム42、43に送信している。

【0150】受信用モデム42、43では、受信信号(アナログ信号)についてデジタル信号に変換した後(AD1~AD4)、線路等化器1において、後段の線路等化器制御部16からのフィードバック情報としての係数設定情報に基づいて、受信信号の振幅特性の劣化をAGC回路とほぼ同様に改善するとともに、周波数特性を改善させて出力する(RLEQ1~RLEQ4、図23参照)。

【0151】即ち、線路等化器制御部16帯域のフィル

タ部4において、復調部2及びローパスフィルタ3を介して線路等化器1からの受信信号を入力されて、この受信信号から伝送信号(送信信号)に重畳された特定周波数成分(ナイキスト周波数成分)を持つ複数のトーン信号32'、33'を抽出する。また、パワー演算部5、加算器6(第1RLEQ制御部130)において、帯域通過フィルタ部4にて抽出されたトーン信号32'、33'のレベルを判定し、積分回路(第2RLEQ制御部)8及びリミッタ9において、判定されたトーン信号のレベルに基づいて係数A~Eを決定して、受信信号を等化する線路等化器1の特性を制御する。

【0152】即ち、線路等化器制御部16では、線路等化器1にて必要とされる特性に応じて、フィルタ特性を2次-1次-0次と連続的に切り換えることによって、2次HPFにより処理すると浮動小数点演算を行わなければならないような場合でも、固定小数点演算により対応することができる。そのため、演算速度が高い固定小数点演算を行なうDSPを使用することが可能となる。

【0153】なお、このように線路等化器1にて回線特性による受信信号の周波数特性、振幅特性の変化が補正されると、復調部2及びローパスフィルタ3における受信信号の復調処理及びローパスフィルタ処理が施された後に、ローパスフィルタ3からの受信信号について後段の端末において識別を行なうための信号処理を行なう。

【0154】このように、本発明の一実施形態によれば、線路等化器制御部16において、線路等化器1のフィルタ特性を、受信信号から抽出されたトーン信号のレベルに基づいて、連続的な2次-1次-0次のフィルタとなるように自動制御を行なうことができるので、低コストで装置を構成し且つ高処理速度で、回線状態に応じて要求される所望の特性で、線路等化処理を行なうことができる利点がある。

【0155】特に、本発明によれば、線路等化器制御部16により、受信信号の特性に応じて線路等化器1の次数を変える処理を行なうことができるので、線路等化器を実現するために比較的安価で高速な固定小数点演算を行なうDSP等を使用することができる利点がある。さらに、線路等化器制御部16により、受信信号から抽出された複数のトーン信号を用いることにより、トーン信号のレベルの平均値を算出することを通じて受信信号の減衰の度合いを確認することができるほか、トーン信号のレベルの差分を算出することを通じて受信信号の周波数特性を識別することができ、線路等化器1の自動調整を飛躍的に簡易なものとすることができる。

【0156】また、線路等化器1の乗算器171及び線路等化器制御部16により、振幅誤差に対応した値を持つ信号を入力信号に対して乗算することを通じて、入力信号の振幅制御を行なうことができ、独立したAGC回

路を別個に設ける必要がなくなるので、回路構成を簡素化させ、DSPの処理負荷を低減させることができる利点もある。

【0157】さらに、第1RLEQ制御部130において、継続して伝送されるナイキスト周波数信号に基づいて算出された受信信号の振幅誤差情報と周波数誤差情報をもとに、線路等化器1の係数を設定してその特性を変化させることができるので、振幅誤差・周波数誤差を線路等化器1により補正することができ、ひいてはデータ伝送開始前のトレーニング信号のやりとりを行なう必要が無くすることができるので、データ伝送開始までの時間を短縮させることもできる。

【0158】一方、 n 桁(ビット)を持つ信号の上位ビットと下位ビットとをそれぞれ抽出し、上位ビットの $1/2$ の値を下位ビットに加算してフィードバックすることにより、ある定められた範囲を積算値が超えた場合には、前述の範囲の midpoint に引き戻すことができるような積分回路8を実現することができ、このような積分回路を上述のモデム42、43の積分回路8に適用することにより、出力される信号の変更幅を大きくし過ぎないように抑制することができ、線路等化器1の動作を安定化させることができる利点がある。

【0159】さらに、周波数シフト部4-2により、前後の信号の加算のみの簡単な信号処理で周波数シフト処理を行なうことができるので、複雑な信号処理を行なう必要もなくなり、回路規模、処理時間等の面においても従来の周波数シフト機能よりも有利なものを実現させることができ、このような周波数シフト部4-2を上述のモデム42、43に適用することにより、DSPの信号処理の負荷の低減、処理時間短縮に大いに寄与し、ひいては、回路規模、処理時間等の面で従来の周波数シフトよりも有利なものが実現される。

【0160】

【発明の効果】以上詳述したように、本発明(請求項1~17記載)によれば、線路等化器制御部(制御ステップ)により、線路等化器のフィルタ特性を、受信信号から抽出された特定周波数信号のレベルに基づいて、連続的な2次-1次-0次のフィルタとなるように自動制御を行なうことができるので、低コストで装置を構成し且つ高処理速度で、回線状態に応じて要求される所望の特性で、線路等化処理を行なうことができる利点がある。特に、受信信号の特性に応じて線路等化器の次数を変える処理を行なうことができるので、線路等化器を実現するために比較的安価で高速な固定小数点演算を行なうDSP等を使用することができる利点がある。

【0161】また、係数算出部において、継続して伝送されるナイキスト周波数信号に基づいて算出された受信信号の振幅誤差情報と周波数誤差情報をもとに線路等化器の係数を設定してその特性を変化させることができるので、振幅誤差・周波数誤差を線路等化器により補正す

ることができ、ひいてはデータ伝送開始前のトレーニング信号のやりとりを行なう必要が無くすることができるので、データ伝送開始までの時間を短縮させることもできる。

【0162】さらに、請求項3、4及び15記載の本発明によれば、線路等化器制御部により、受信信号から抽出された複数の特定周波数信号(トーン信号)を用いることにより、特定周波数信号のレベルの平均値を算出することを通じて受信信号の減衰の度合いを確認することができるほか、特定周波数信号のレベルの差分を算出することを通じて受信信号の周波数特性を識別することができ、線路等化器の自動調整を飛躍的に簡易なものとすることができる。

【0163】また、請求項11記載の本発明によれば、振幅誤差に対応した値を持つ信号を入力信号に対して乗算することを通じて、入力信号の振幅制御を行なうことができ、独立したAGC回路を別個に設ける必要がなくなるので、回路構成を簡素化させ、DSPの処理負荷を低減させることができる利点もある。さらに、請求項6、17記載の本発明によれば、 n 桁(ビット)を持つ信号の上位ビットと下位ビットとをそれぞれ抽出し、上位ビットの $1/2$ の値を下位ビットに加算してフィードバックすることにより、ある定められた範囲を積算値が超えた場合には、前述の範囲の midpoint に引き戻すことができるような積分回路を実現することができ、このような積分回路を受信用モデムの積分回路に適用することにより、出力される信号の変更幅を大きくし過ぎないように抑制することができ、線路等化器の動作を安定化させることができる利点がある。

【0164】さらに、請求項7、14記載の本発明によれば、周波数シフト・ローパスフィルタ共用部において、前後の信号の加算のみの簡単な信号処理で周波数シフト処理を行なうことができるので、複雑な信号処理を行なう必要もなくなり、回路規模、処理時間等の面においても従来の周波数シフト機能よりも有利なものを実現させることができ、このような周波数シフト回路を受信用モデムに適用することにより、DSPの信号処理の負荷の低減、処理時間短縮に大いに寄与し、ひいては、回路規模、処理時間等の面で従来の周波数シフトよりも有利なものが実現される。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の原理ブロック図である。

【図3】本発明の一実施形態にかかるモデムにおける受信部を示すブロック図である。

【図4】本発明の一実施形態にかかるモデムにおける送信部を示すブロック図である。

【図5】本発明の一実施形態にかかる伝送装置としてのモデムが適用されたデータ通信システムを示すブロック図である。

【図6】本実施形態にかかるデータ通信システムにおける送信信号・受信信号の周波数スペクトルを示す図である。

【図7】本実施形態にかかる線路等化器の等価回路を示す図である。

【図8】(a), (b) はともに本実施形態にかかる線路等化器の等価回路を示す図である。

【図9】本実施形態にかかる線路等化器制御部を示すブロック図である。

【図10】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図11】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図12】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図13】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図14】(a), (b) はともに本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図15】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図16】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図17】(a), (b) はともに本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図18】(a) ~ (c) はいずれも本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図19】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図20】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図21】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図22】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図23】本実施形態にかかる線路等化器制御部の要部の等価回路を示す図である。

【図24】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図25】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図26】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図27】本実施形態にかかる線路等化器制御部の要部の動作を説明するための図である。

【図28】本実施形態にかかるランダム信号抽出処理を説明するための図である。

【図29】本実施形態にかかる線路等化器制御部の要部

の等価回路を示す図である。

【図30】本実施形態にかかるランダム信号抽出処理を説明するための図である。

【図31】本実施形態にかかるランダム信号抽出処理を説明するためのタイムチャートである。

【図32】本実施形態にかかるランダム信号抽出処理を説明するためのタイムチャートである。

【図33】一般的なモデムの構成を示す図である。

【図34】一般的なモデムにおける線路等化器の動作を説明するための図である。

【図35】一般的なモデムにおける線路等化器の動作を説明するための図である。

【符号の説明】

- 1 線路等化器
- 2 復調部
- 3 ローloffフィルタ
- 4 帯域通過フィルタ部
- 4-1 バンドパスフィルタ
- 4-2 周波数シフト部
- 4-3 ローパスフィルタ
- 5 パワー演算部(レベル算出部)
- 6 加算器(係数演算部)
- 7 参照値保持部(係数演算部)
- 8 積分回路(第2RL EQ制御部, 係数演算部)
- 9 リミッタ(係数演算部)
- 10 受信部
- 11 ナイキスト信号キャンセラ
- 12 自動等化器
- 13 キャリア位相制御部
- 14 判定部
- 15 受信信号処理部
- 16 線路等化器制御部
- 17 伝送装置
- 20 送信部
- 21 論理処理部
- 22 ローloffフィルタ
- 23 ナイキスト信号発生部
- 24 加算部
- 25 変調部
- 26 D/A変換部
- 27 ローパスフィルタ
- 31 送信データ
- 32, 33, 31', 32' ナイキスト周波数信号(トーン信号)
- 71, 72 ナイキスト周波数信号(トーン信号)
- 40 データ通信システム
- 41 送信用モデム
- 42 受信用モデム
- 43 受信用モデム
- 44 メタリック回線

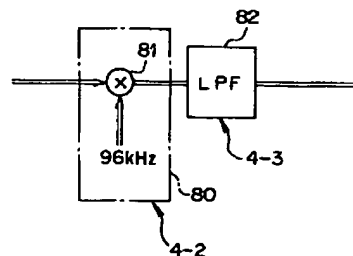
51a, 51b 部分
 52, 53 乗算器
 54, 55 加算器
 56, 57 タップ
 80 等価回路
 81 乗算器
 82 ローパスフィルタ
 83 ローパスフィルタ
 84 加算器
 85 タップ
 86 乗算器
 87 加算器
 88 タップ
 89 等価回路
 90 等価回路
 91, 92 タップ
 93, 94 加算器
 95 等価回路
 96, 97 タップ
 98, 99 加算器
 100a, 100b 乗算器
 101a, 101b 等価回路
 103a, 103b 加算器
 104a, 104b 等価回路
 105a, 105b 加算器
 130 第1RLEQ制御部
 141a, 141b AND回路
 141c, 141d 加算器
 141e, 141f 乗算器
 141g, 141h 加算器
 141i~141l AND回路
 141m, 141n タップ
 141o, 141p 加算器
 141q~141t 乗算器
 141w, 141x 二乗回路

【図2】

141y, 141z タップ
 171~175 乗算器
 176~179 加算器
 180, 181 タップ
 212 BLEQ部
 213 CLEQ部
 213a 乗算器
 213b~213d 加算器
 214 DLEQ部
 214a 乗算器
 215 ELEQ部
 215a 乗算器
 215b~215d 加算器
 241 線路等化器としてのフィルタ
 242 判定部
 243 ランダム抽出部
 271 ランダム抽出回路
 273 タップ
 274 ランダム抽出部
 280 モデム
 281 受信部
 281a A/D変換部
 281b 線路等化器
 281c 復調部
 281d ロールオフフィルタ
 281e 自動利得制御部
 281f 自動等化器
 281g キャリア検出部
 281h タイミング抽出部
 281i クロック信号発生部
 286 送信部
 286a 論理処理部
 286b ロールオフフィルタ
 286c 変調部
 286d D/A変換部

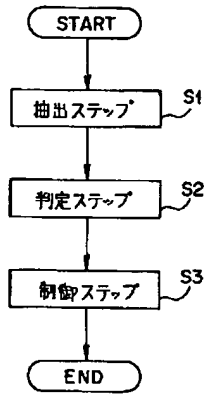
【図11】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



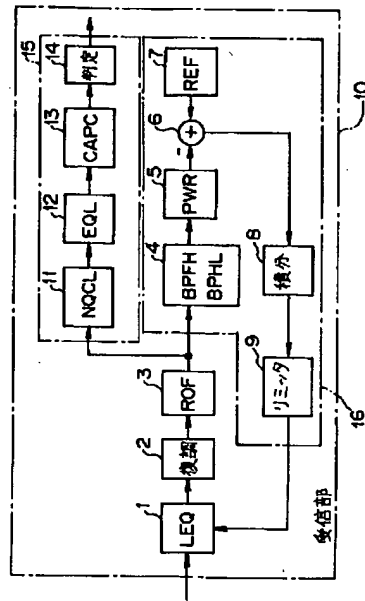
【図1】

本発明の原理説明図



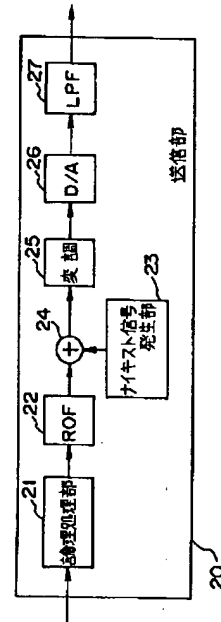
【図3】

本発明の一実施形態にかかるモデムにおける受信部を示すブロック図



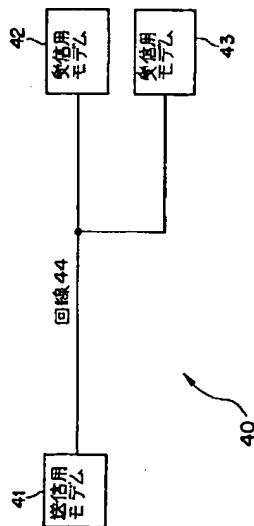
【図4】

本発明の一実施形態にかかるモデムにおける送信部を示すブロック図



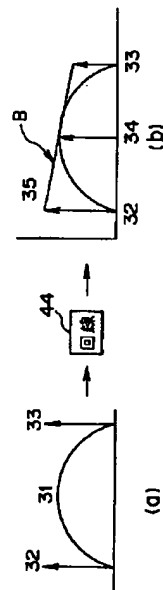
【図5】

本発明の一実施形態にかかる伝送装置としてのモデムが適用されたデータ通信システムを示すブロック図



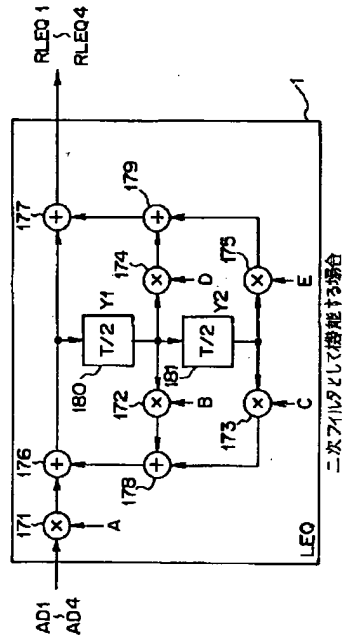
【図6】

本実施形態にかかるデータ通信システムにおける送信信号、受信信号の周波数スペクトルを示す図



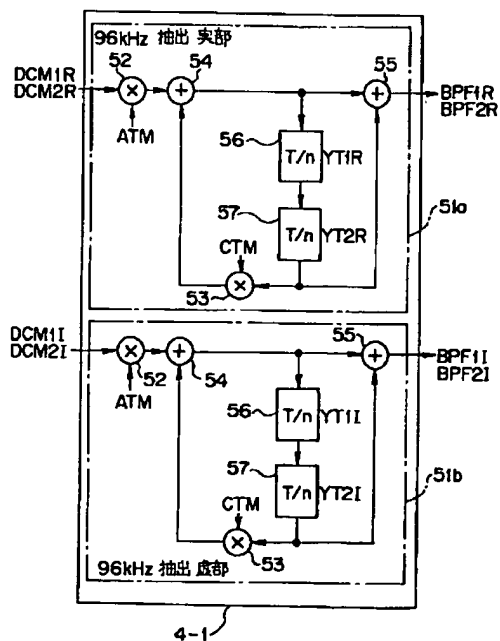
【図7】

本実施形態にかかる線路等化器の等価回路を示す図



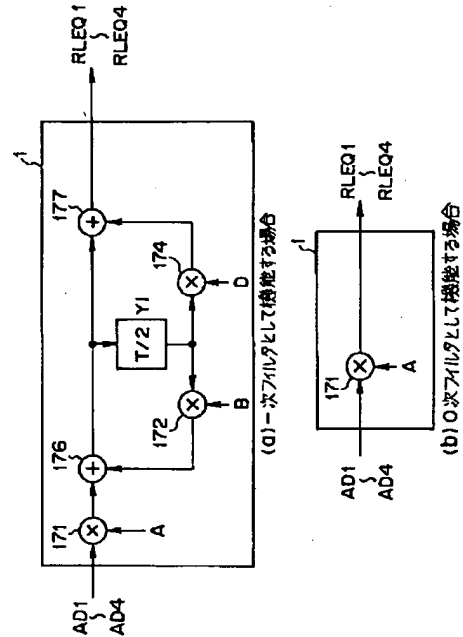
【図10】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



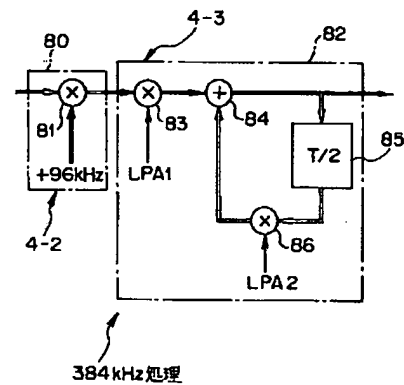
【図8】

本実施形態にかかる線路等化器の等価回路を示す図



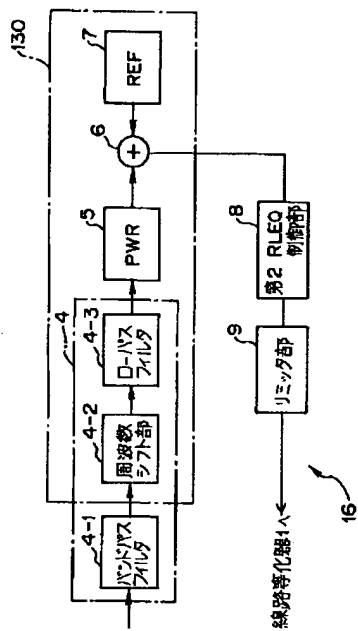
【図12】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



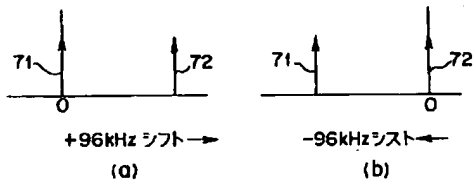
【図9】

本実施形態にかかる線路等化器制御部を示すブロック図



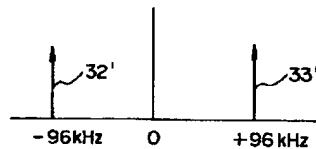
【図14】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図



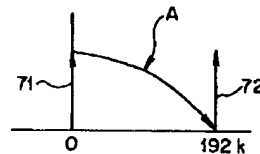
【図13】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図



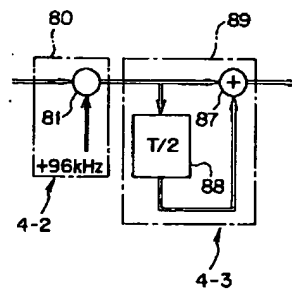
【図15】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図



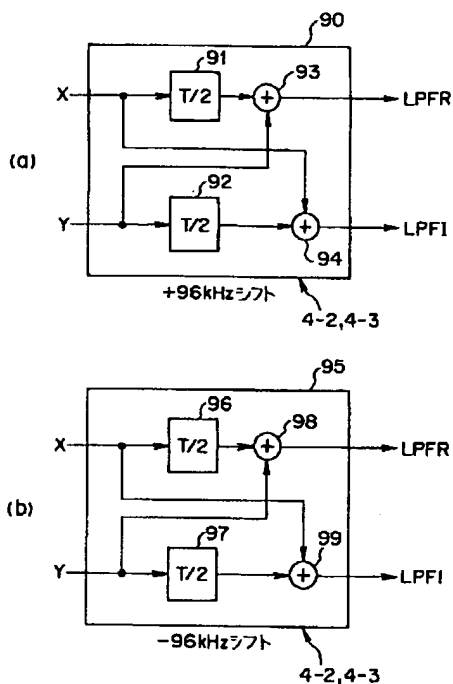
【図16】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



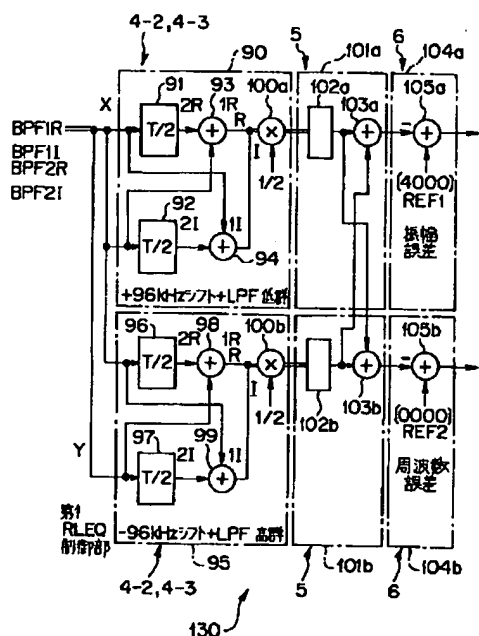
【図17】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



【図19】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図

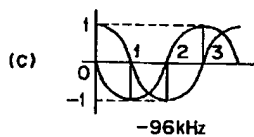
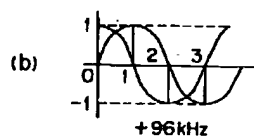


【図18】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図

(a)

	96kHz		-96kHz	
フェーズ	cosx	sinx	cosx	sinx
フェーズ0	1	0	1	0
フェーズ1	0	1	0	-1
フェーズ2	-1	0	-1	0
フェーズ3	0	-1	0	1



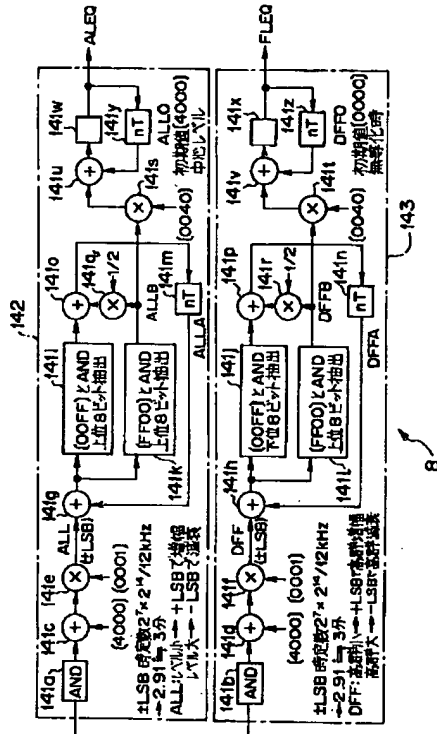
【図21】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図

10進	16進	(8000)とAND	(4000)と加算	(0001)と乗算
-2.0	7FFF	0000	4000	0001
{	{	{	{	{
+0.0	0000	0000	4000 (+1.0)	0001 (+LSB)
-0.0	FFFF	8000	C000	FFFF
{	{	{	{	{
-2.0	FFFF	8000 (-2.0)	C000 (-1.0)	FFFF (-LSB)

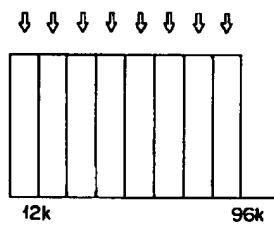
【図20】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



【图28】

本実施形態にかかるランダム信号抽出処理を説明するための図



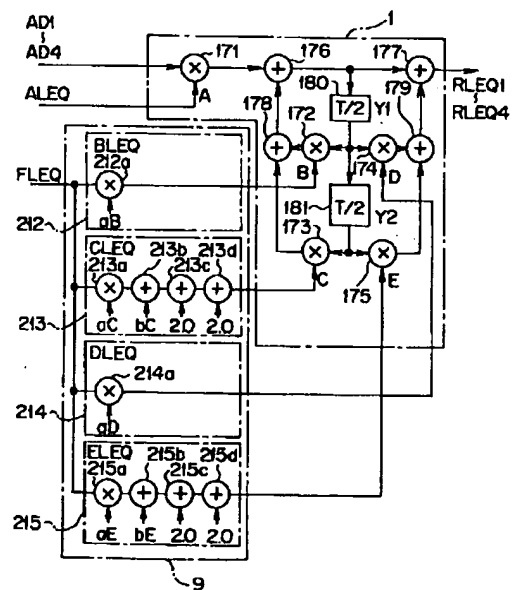
【図22】

本実施形態にかかる線路等化器制御部の要部の動作を説明する
ための図

10 歳	16 歳	(FF00) 2nd AND	上位 8ビット	上位8ビット の1/2
-2.0 }	7FFF }	7F00 }	7F }	3F80 }
-0.015625 }	0100 }	0100 }	01 }	0080 }
-0.0078125 }	00FF }	0000 }	00 }	0000 }
-0.0 }	0000 }	0000 }	00 }	0000 }
+0.0 }	FFFF }	FFFF }	FF }	FF80 }
+2.0 }	8000 }	8000 }	80 }	C080 }

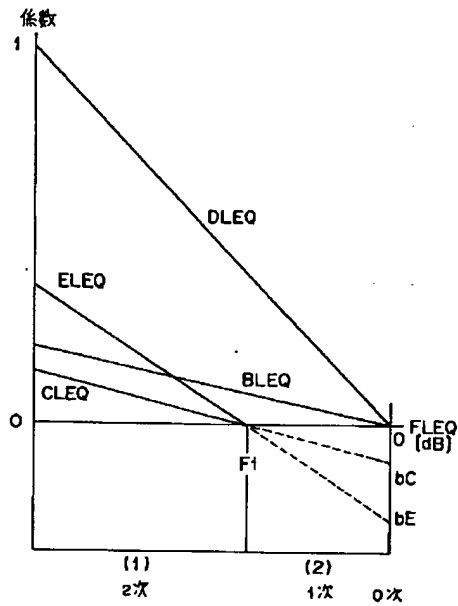
【図23】

本実施形態にかかる線路等化器制御部の要部の等価回路を示す図



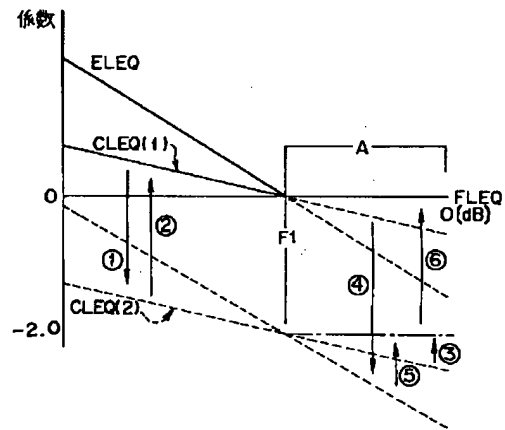
【図24】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図



【図25】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図

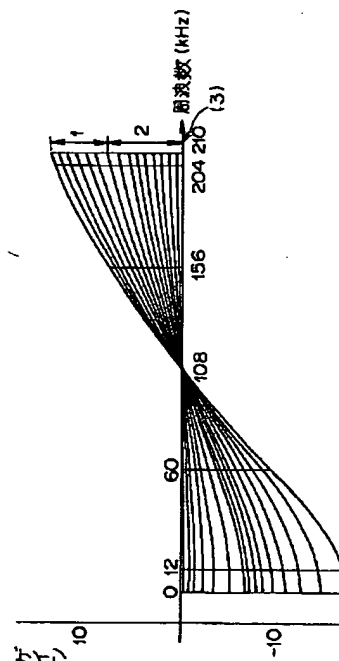
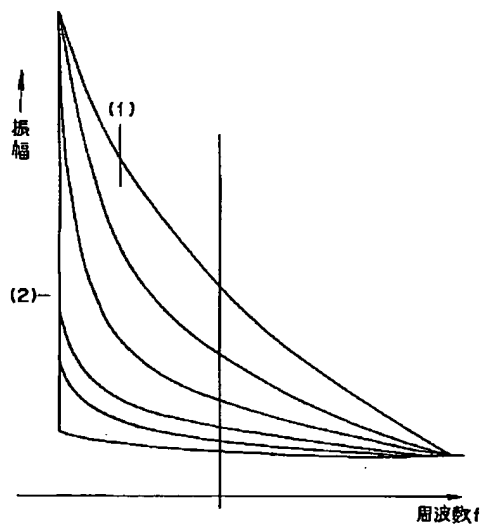


【図27】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図

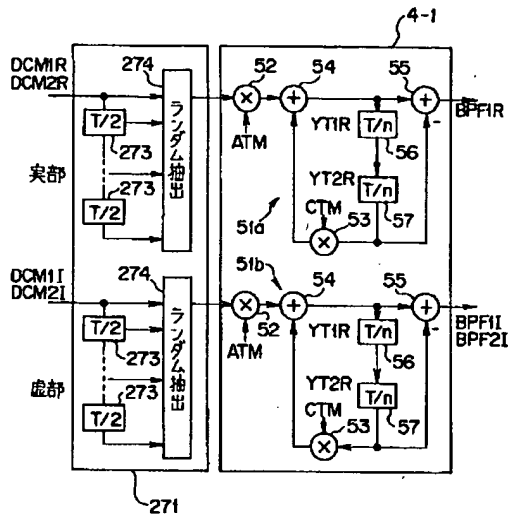
【図26】

本実施形態にかかる線路等化器制御部の要部の動作を説明するための図



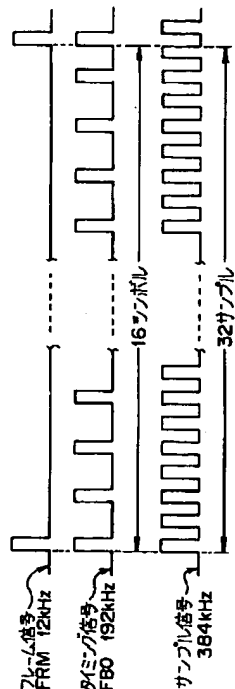
【図29】

本実施形態にかかる線路等化器制御部の等価回路を示す図



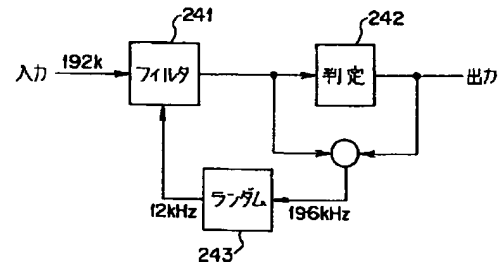
【図31】

本実施形態にかかるランダム信号抽出処理を説明するためのタイムチャート



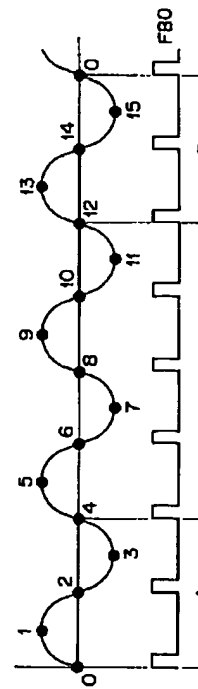
【図30】

本実施形態にかかるランダム信号抽出処理を説明するための図



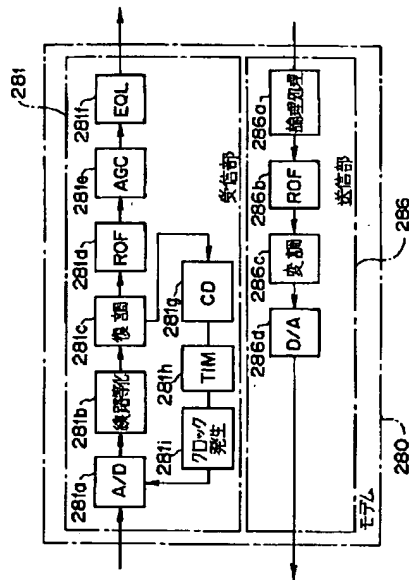
【図32】

本実施形態にかかるランダム信号抽出処理を説明するためのタイムチャート



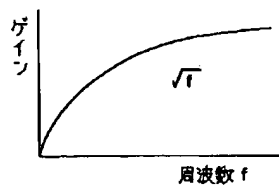
【図33】

一般的なモデムの構成を示す図



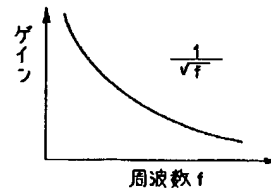
【図35】

一般的なモデムにおける線路等化器の動作を説明するための図



【図34】

一般的なモデムにおける線路等化器の動作を説明するための図



フロントページの続き

(72)発明者 宮澤 秀夫
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 仁垣 友里
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内